

CAPITOLO 11

CIRCUITI INTEGRATI E FAMIGLIE LOGICHE

Con la microelettronica l'implementazione delle funzioni logiche ha avuto il suo sviluppo più ampio e innovativo. Il motivo risiede nella quasi illimitata possibilità di miniaturizzazione offerta dalle tecnologie dei circuiti integrati. Si pensi che i “vecchi” microprocessori Intel 80486 e Motorola 68040 contengono in un unico chip circa 1 200 000 transistor e il Pentium ben 3 100 000 transistor. Il Core i7 lanciato dalla Intel nel 2008 di transistor ne ha ben 730 milioni, mentre il record attuale (in termini di numero di transistor per processore) è detenuto dal GC2 IPU del 2018 sviluppato dalla Graphcore che ha raggiunto l'incredibile numero di 23 miliardi e 600 milioni di transistor in un'area di 825 mm².

I componenti elettronici di base, costituenti i vari circuiti integrati digitali sono i transistori BJT (detti anche “transistor bipolari”) e i MOSFET. Fino a qualche tempo fa si poteva affermare che ad una maggiore densità d'integrazione dei MOSFET, dovuta alle dimensioni più ridotte, si contrapponeva una velocità di funzionamento notevolmente più elevata dei BJT.

Le tecnologie più recenti hanno però portato la velocità di funzionamento dei MOS a competere con quella dei BJT, le cui dimensioni d'altro canto vanno riducendosi sempre più (dal 2017 è disponibile la tecnologia a 10 nm). In questo quadro di costante evoluzione si può dire che attualmente la tecnologia MOS è di gran lunga predominante nell'alta e altissima scala d'integrazione (LSI e VLSI), mentre nella piccola e media scala (SSI e MSI) si assiste ad una competizione molto spinta fra le due tecnologie, con decisa predominanza di quella MOS.

Vista l'importanza assunta dalla tecnologia di fabbricazione dei circuiti integrati ai fini della miniaturizzazione (o *scaling*) degli integrati stessi, risulta opportuno conoscere qualche dettaglio tecnologico in più; la conoscenza delle fasi tecnologiche è importante per capire la scelta di determinare soluzioni circuitali all'interno degli integrati.

La tecnologia di fabbricazione di dispositivi integrati oggi utilizzata prende il nome di *tecnologia planare* (o *processo planare*) e raggruppa una serie di stadi tecnologici necessari alla realizzazione del prodotto finito. Tale prodotto, nella quasi totalità dei casi, è costituito da una o più giunzioni *p-n* realizzate su un substrato di silicio (“*fetta*”) e dai relativi contatti metallici; infatti – come si è

osservato nei capitoli precedenti – tutti i dispositivi elettronici a semiconduttore sono basati sull'effetto rettificante delle giunzioni.

In altri termini, il processo di tecnologia planare è costituito da un ciclo di lavorazioni elementari ripetuto più volte, in successione, ogni volta utilizzando maschere litografiche differenti. Uno dei vantaggi principali di tale tecnica è che ogni fase di lavorazione viene applicata sull'intera superficie della fetta di silicio, processando simultaneamente migliaia di dispositivi.

Il costo del processo di lavorazione, in sé molto elevato, incide quindi sul costo dei singoli dispositivi in misura inversamente proporzionale al loro numero sulla fetta. Ciò, quindi, spiega le ragioni per le quali si cerca di miniaturizzare sempre di più le dimensioni dei dispositivi elementari e di aumentare la superficie delle fette di silicio disponibili in commercio.

Le varie fasi della tecnologia planare sono:

- 1) formazione dello strato epitassiale;
- 2) formazione dello strato di biossido di silicio;
- 3) rimozione selettiva del biossido tramite fotolitografia;
- 4) diffusione o impiantazione ionica delle impurità droganti
- 5) metallizzazione.

Mentre il primo e l'ultimo passo vengono effettuati normalmente una sola volta per ogni fetta, le altre fasi della tecnologia planare vengono ripetute più volte, con differenti geometrie, fino alla completa delineazione delle strutture dei dispositivi e dei circuiti integrati.

L'ultima fase, la metallizzazione, ha lo scopo di realizzare sia le interconnessioni elettriche tra i diversi dispositivi di un circuito integrato, sia le aree di contatto per le saldature con gli elettrodi che connettono queste con i piedini (pin) del contenitore, accessibili dall'esterno.

Prima di parlare della tecnologia planare, è tuttavia opportuno fare riferimento al processo di produzione delle fette di silicio, o meglio alla crescita del cristallo dal quale le fette sono ricavate.

11.1 Crescita dei monocristalli

Si è già ripetutamente osservato che piccole percentuali di droganti in un semiconduttore puro sono capaci di produrre sostanziali modificazioni del suo comportamento elettrico. Ciò deve far riflettere sul fatto che il materiale semiconduttore di partenza deve essere estremamente puro. Fissando una concentrazione drogante di 10^{15} atomi/cm³, affinché una piastrina di Si possa essere utilizzata per la fabbricazione di dispositivi, non può essere tollerata una presenza di sostanze non volute in concentrazioni superiori ad un atomo ogni 5 miliardi di atomi di silicio.

Un tale grado di purezza è senza dubbio tra i più elevati di quelli normalmente richiesti per i materiali utilizzati in campo industriale; ne consegue che uno dei costi maggiori per le industrie

produttrici di dispositivi elettronici a stato solido è quello dell'approvvigionamento dei materiali che, per poter essere impiegati, devono essere estremamente puri. E tale requisito comprende non solo i materiali di base (semiconduttori e droganti) ma anche tutte quelle sostanze chimiche e quegli ambienti che vengono a contatto o impiegate nelle varie fasi del ciclo produttivo (solventi organici e inorganici, acidi, gas), la cui purezza, per questo tipo di applicazioni, viene denominata “*di grado elettronico*” (o anche *di grado MOS*).

Per i cristalli semiconduttori, oltre alla loro purezza, è necessario che essi siano esenti da difetti e distorsioni nella struttura cristallina, poiché ogni difetto degrada la qualità elettrica del materiale base, introducendo nel diagramma a bande di energia stati energetici localizzati all'interno della banda interdotta (centri trappola e centri di ricombinazione).

Tra le varie tecniche di crescita di materiali semiconduttori in cristallo singolo o monolitici (dalle parole greche “*monos*” e “*lithos*”, cioè “*unica pietra*”) e con il necessario grado di purezza, accenneremo al *metodo di Czochralsky*. Si dispone del silicio policristallino di alta purezza in un contenitore non reattivo e lo si porta alla temperatura di fusione del silicio (1412°C), curando di immettere nel “*crogiolo*” anche la voluta percentuale di elementi droganti (normalmente il Si viene prodotto con un drogaggio di partenza, *p* o *n*, dell'ordine di 10^{15} atomi/cm³).

Un piccolo campione di Si monocristallino (detto “*seme*”), della voluta orientazione cristallografica, viene portato a contatto con la superficie fusa e fatto ruotare lentamente (Fig. 11.1). La rotazione assicura una sufficiente uniformità termica per la crescita; la parte del seme immersa nel silicio fuso fonde anch'essa; a questo punto al movimento rotatorio del seme viene aggiunto un moto assiale verticale. Questo lento sollevamento determina il raffreddamento della zona di materiale fuso aderente al seme, con conseguente formazione della cosiddetta “*carota*” monocristallina di dimensioni trasversali molto maggiori di quelle del seme di partenza, ma con la medesima orientazione degli assi cristallografici. Con questa tecnica si riescono a produrre attualmente carote di cristalli singoli di silicio aventi diametro fino a 30 cm (12 pollici) e lunghi oltre un metro.

Dalle carote si ottengono, per taglio, fette di Si dello spessore di 0.5 mm, le cui superfici vengono levigate e lucidate con abrasivi via via più fini, fino a renderle speculari. A questo punto le fette sono pronte per le successive fasi di lavorazione.

11.2 Tecnologia planare

Sulle fette ottenute la fabbricazione dei dispositivi si effettua tramite la già citata tecnologia planare; esaminiamone le differenti fasi.

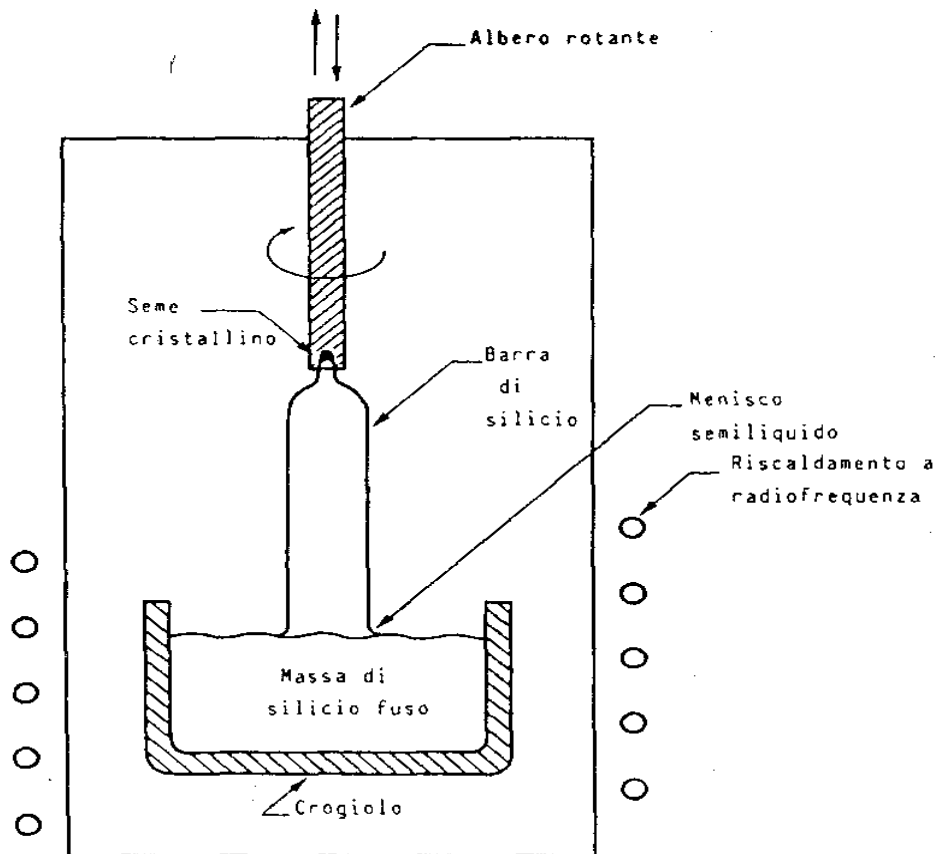


Fig. 11.1 – Metodo di Czochralsky

11.2.1 Formazione strato epitassiale

Il processo epitassiale (dal greco “epi” e “taxi”, cioè "accresciuto sopra") consente di realizzare sulla fetta di Si, che funge da substrato, un sottile strato monocristallino di silicio con spessore e drogaggio opportuni. Tale processo viene impiegato soprattutto quando è necessario sovrapporre ad uno strato più drogato uno meno drogato, o quando è richiesto un controllo preciso dei profili di drogaggio (la tecnica della compensazione, con diffusioni di impurità di tipo opposto, praticamente non consente un controllo sufficiente).

La deposizione degli atomi di Si sulla fetta è ottenuta dalla scissione della molecola del gas SiCl_4 . Per il drogaggio di impurità si aggiunge al flusso di tetracloruro di silicio e idrogeno del diborano (B_2H_6) per gli strati di tipo *p*, o della fosfina (PH_3) per gli strati di tipo *n*.

Lo spessore dello strato diffuso dipende dal tempo per il quale si espone la fetta. La temperatura di circa $1200\text{ }^\circ\text{C}$ assicura la crescita monocristallina dello strato epitassiale sulla fetta di Si. A temperature inferiori lo strato formato risulta invece policristallino (cioè più celle elementari monocristalline non aventi la stessa orientazione tra loro). Il silicio policristallino non può essere

utilizzato al posto del silicio monocristallino, mentre viene spesso usato come strato conduttore al posto del metallo.

11.2.2 Formazione strato biossido di silicio

Questo passo del processo planare consiste nella formazione di un film sottile di SiO_2 sulla fetta di Si. Tale strato si ottiene facendo fluire dell'ossigeno sulla fetta portata ad alta temperatura (tipicamente $900\text{-}1200^\circ\text{C}$). Affinché l'atmosfera di reazione sia quanto più possibile incontaminata e controllata, le fette di Si vengono poste in vassoi di quarzo all'interno di un tubo, anch'esso in quarzo, che attraversa assialmente un forno a temperatura controllata. Viene impiegato il quarzo per la sua resistenza fino a temperature di 1200°C (il punto di fusione del Si è 1412°C).

La velocità di crescita del biossido di Si dipende sia dalla temperatura che dall'orientazione degli assi cristallografici rispetto alla superficie di crescita. Il suo spessore tipico va da 5 a 200 nm, quest'ultimo caso ottenibile con una esposizione della fetta ad una atmosfera di ossigeno secco per un'ora, a 1200°C . Più comunemente, però, l' O_2 viene umidificato facendolo gorgogliare in acqua a 95°C , e in tal modo il tempo di ossidazione viene ridotto di circa 10 volte.

Al posto del biossido di silicio, spesso si impiega nitrato di silicio (Si_3N_4) per le sue superiori proprietà di mascheratura.

11.2.3 Rimozione selettiva del biossido tramite fotolitografia

A tal punto qualcuno potrebbe aver perso il senso di ciò che è stato fatto finora... Per quale motivo si deposita uno strato di biossido di silicio sul silicio? La risposta più ovvia è che esso può essere utilizzato come ossido di gate per la tecnologia MOSFET. In realtà, il motivo principale è che il biossido di silicio può agire come “*maschera*” per l'introduzione selettiva delle impurità droganti. Se si vuole drogare soltanto una zona della fetta, basta introdurre le impurità droganti, “aprendo una finestra” nel biossido di silicio proprio nella zona d'interesse. Il biossido di silicio funge pertanto da schermo per le impurità droganti da introdurre.

Per aprire questa finestra non si chiama... il muratore, ma si rimuove selettivamente il biossido di silicio tramite l'ausilio di *maschere fotolitografiche*. Tale rimozione selettiva viene effettuata con l'impiego di un materiale fotosensibile detto “*fotoresist*”, un polimero liquido che diventa solubile in un solvente opportuno se illuminato con luce ultravioletta. Ponendone poche gocce sulla fetta di silicio, preventivamente lucidata, e centrifugando, il fotoresist si spande uniformemente, formando un film di spessore intorno al micron.

Successivamente, al di sopra della fetta viene posta una maschera fotografica, normalmente in vetro o quarzo, con aree trasparenti e aree opache in corrispondenza rispettivamente delle zone in cui si dovrà o non si dovrà effettuare la diffusione. Il perfetto allineamento tra la maschera e la fetta viene

realizzato con metodi ottici. In Fig. 11.2 è illustrata la sequenza delle varie fasi del processo fotolitografico dopo l'iniziale preparazione.

A questo punto può avvenire l'esposizione, dall'alto, con luce ultravioletta. Le zone opache della maschera assorbono la luce, proteggendo quindi il fotoresist sottostante che resta insolubile. Nelle zone illuminate, invece, il fotoresist risulta essere solubile in un opportuno solvente (chimicamente, si trasforma da polimero a monomero). Tali zone vengono eliminate in quella che viene chiamata "fase di sviluppo", effettuata immergendo il substrato in una soluzione basica contenente tipicamente idrossido di potassio (KOH), che lascia così scoperte le sottostanti zone di SiO₂.

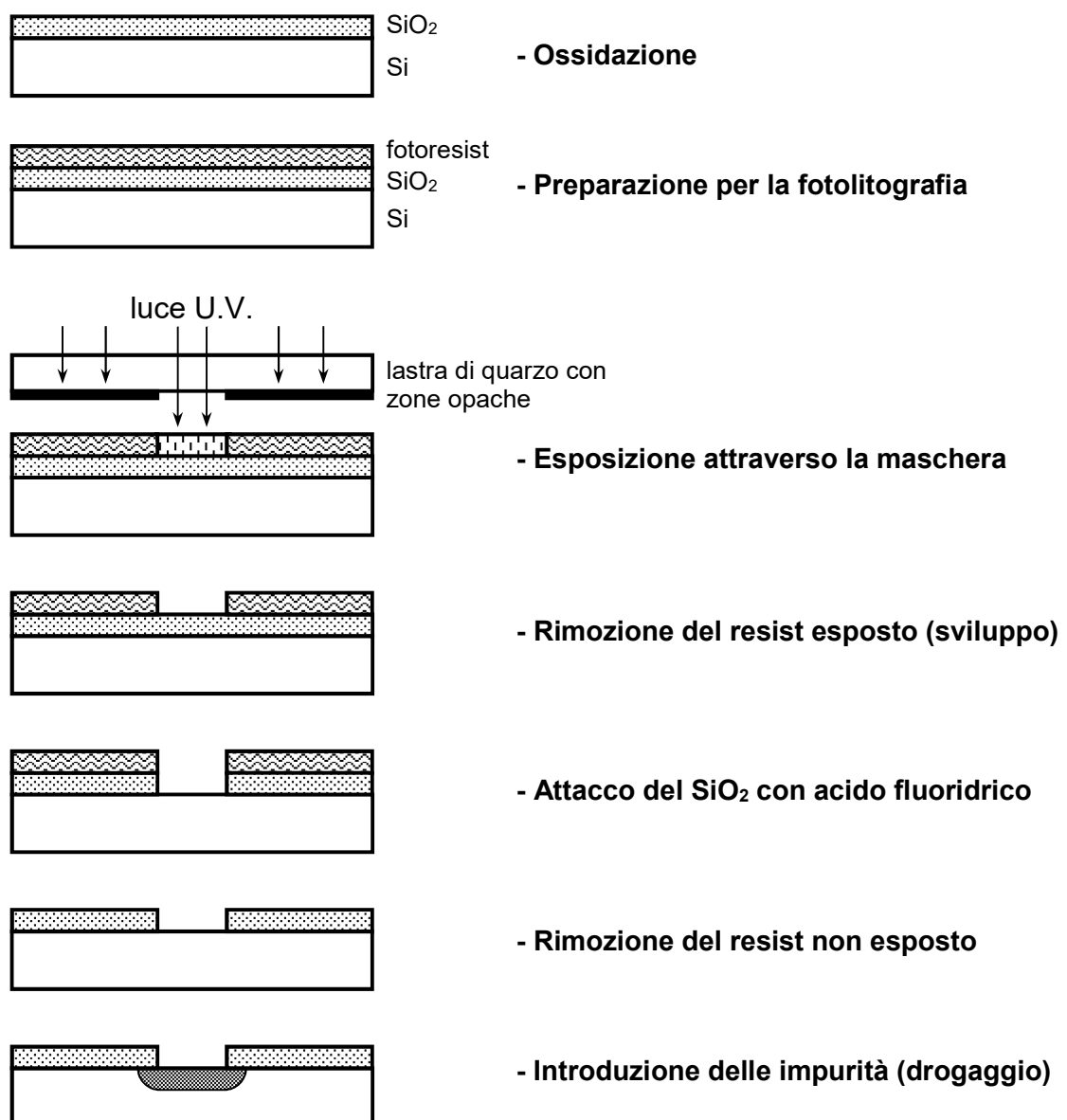


Fig. 11.2 – Processo fotolitografico

Immergendo la fetta in acido fluoridrico (HF), le zone di SiO₂ non protette dal resist vengono attaccate, generando a loro volta delle “finestre” sul substrato di silicio. Al termine di tale processo, il resist ancora presente viene asportato con opportuni solventi organici (ad esempio, acetone), o con un attacco in fase gassosa in un plasma di ossigeno.

Quello appena descritto è il cosiddetto processo "positivo"; sono comunque diffusi anche i processi "negativi", nei quali le finestre vengono generate in corrispondenza delle zone del resist non illuminate.

11.2.4 Diffusione o impiantazione ionica delle impurità droganti

All'interno della fetta di silicio, il drogante può essere introdotto sia per “diffusione” che per “impiantazione ionica”. Nel caso della diffusione, questa fase del processo consiste normalmente di due passi: dapprima si depositano le impurità desiderate sull'intera fetta, quindi si porta la fetta ad alta temperatura (circa 1000°C), alla quale le impurità diffondono nel silicio. Tale diffusione è analoga al processo di diffusione a cui si è accennato in precedenza a proposito del meccanismo di trasporto delle cariche libere, con la differenza che in questo caso è necessaria un'elevata temperatura per poter apprezzare una utile diffusione delle impurità.

Non appena la deposizione è completata, la concentrazione delle impurità nella fetta segue un andamento di tipo gaussiano.

La diffusione delle impurità dentro il Si procede per due meccanismi: le impurità “sostituzionali” vanno a collocarsi direttamente nella vacanza di un sito reticolare non occupato da un atomo di Si; le impurità “interstiziali” si collocano invece tra un atomo e un altro, per effetto della maggiore distanza interatomica esistente ad alta temperatura, ma nel successivo raffreddamento anch'esse si stabiliscono in siti reticolari del Si.

L'impiantazione ionica rappresenta un secondo metodo per l'introduzione di impurità nel silicio. Un fascio di ioni opportuni (boro per drogaggi di tipo *p* o fosforo per drogaggi di tipo *n*) viene accelerato con energie variabili da 30 a 200 keV in un ambiente sotto vuoto. L'intensità del drogaggio e la profondità delle impurità (ionizzate) possono essere controllate attraverso la corrente del fascio ed il potenziale di accelerazione. Questo processo è spesso utilizzato per realizzare strati sepolti con concentrazioni di droganti maggiori di quelle degli strati soprastanti. Strati di biossido di silicio costituiscono una efficace barriera contro l'impiantazione, cosicché risultano drogate esclusivamente le zone sotto le finestre nel SiO₂ aperte con le tecniche fotolitografiche.

Un altro vantaggio dell'impiantazione ionica sta nel fatto che essa viene eseguita a bassa temperatura. Di conseguenza, regioni diffuse in precedenza hanno una minore tendenza ad allargarsi per diffusione termica, cosa che non è possibile ottenere procedendo con diffusioni successive. Lo svantaggio è che la superficie viene spesso rovinata dal bombardamento ionico.

11.2.5 Metallizzazione

I collegamenti elettrici tra i dispositivi di uno stesso "chip" vengono normalmente realizzati tramite un film sottile di alluminio, o più strati di metalli diversi. La deposizione del film avviene sotto vuoto, per condensazione (sulla fetta) dell'alluminio in fase di vapore, generato per riscaldamento dalla fase solida. Anche per tale deposizione si ricorre all'uso del fotoresist, delle maschere e dell'attacco chimico delle zone non ricoperte.

In Fig. 11.3 è riportato il processo di fabbricazione in tecnologia planare di un BJT *npn*.

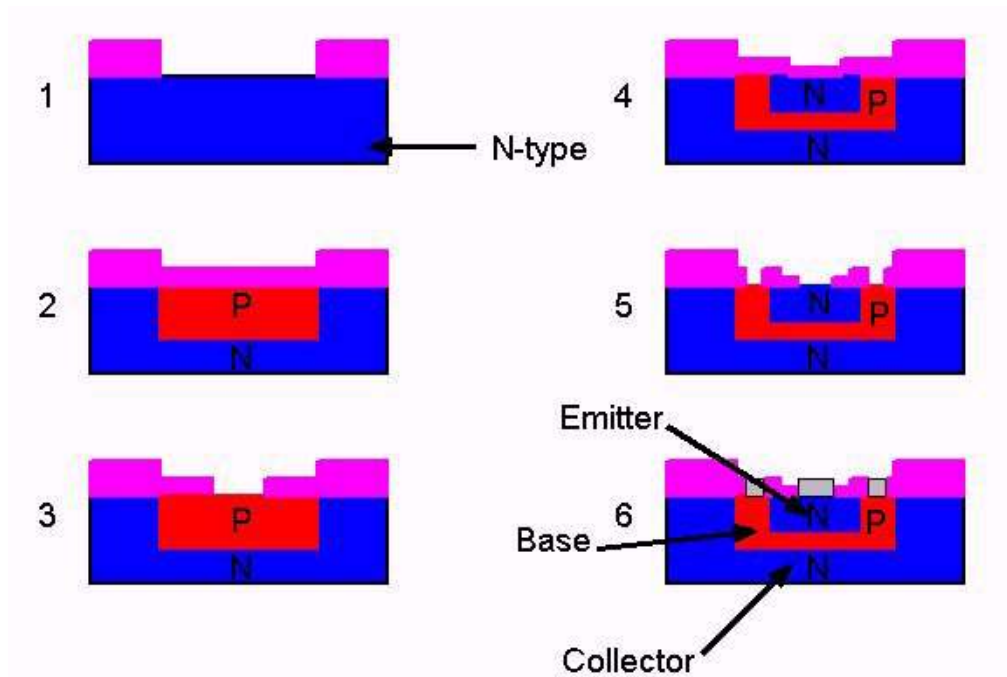


Fig. 11.3 – BJT di tipo *npn* realizzato con tecnologia planare

La Fig. 11.4a mostra invece un esempio di semplice circuito integrato realizzato con tecnologia planare, ottenuto ripetendo più volte i passi fin qui descritti. Si tratta di una struttura CMOS – che tratteremo a breve nel par. 11.8 – la cui struttura circuitale è riportata in Fig. 11.4b.

11.3 Carico attivo

I circuiti amplificatori analizzati nel Cap. 10 si riferiscono a circuiti a componenti discreti. Sebbene storicamente i primi circuiti integrati realizzati siano stati quelli digitali, nondimeno oggi per molte applicazioni analogiche è disponibile un'ampia scelta di *circuiti integrati analogici*: sono disponibili *amplificatori* di vario tipo, *filtri* e circuiti che svolgono *operazioni analogiche* più complesse. Anche gli *amplificatori operazionali* studiati nel Cap. 4 fanno parte di questa categoria di circuiti integrati.

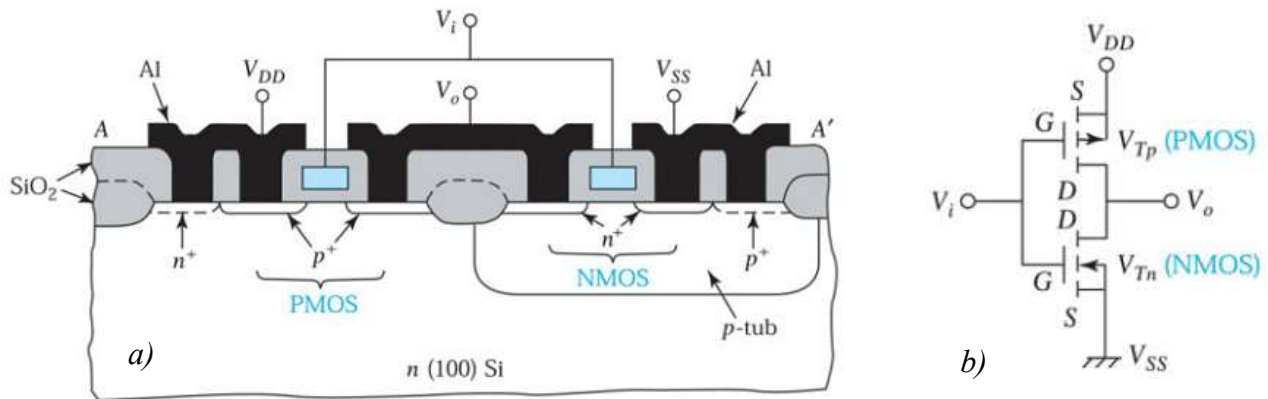


Fig. 11.4 – a) Circuito (CMOS) realizzato con tecnologia planare. b) Struttura circuitale

La topologia dei circuiti analogici integrati rispecchia sostanzialmente quella dei circuiti a componenti discreti; vi sono tuttavia alcune differenze, dovute a difficoltà tecnologiche. A titolo di esempio, nei circuiti integrati non è tecnologicamente facile realizzare resistenze di valore elevato; queste tuttavia sono necessarie se si vogliono ottenere valori elevati di amplificazione. In luogo delle resistenze di carico, risulta più semplice – oltre che vantaggioso – utilizzare *carichi attivi*, ossia transistor FET.

La moderna tecnologia NMOS consente la fabbricazione sullo stesso chip di componenti sia a svuotamento che ad arricchimento. Normalmente, utilizzando come carico dei MOSFET a svuotamento si ottengono amplificatori con caratteristiche superiori rispetto ai circuiti con carico ad arricchimento.

In Fig. 11.5 è mostrato un amplificatore con carico a svuotamento (ma il transistor pilota è ad arricchimento). Poiché il MOSFET di carico ha il gate e il source allo stesso potenziale, la sua caratteristica è quella rappresentata in Fig. 11.6a (ossia il ramo di caratteristica d'uscita per $V_{GS} = 0$). La relazione che lega i con v non è più una retta come nel caso di una resistenza, pertanto non si ha più una retta di carico, bensì una *curva di carico*. Tale curva è sovrapposta alle caratteristiche del transistor pilota T1 in Fig. 11.6b. Essa viene tracciata nello stesso modo utilizzato per disegnare una retta di carico e cioè partendo dal punto V_{DD} sull'asse v_o e disegnando un'immagine speculare della caratteristica $i-v$ del transistor di carico. In questo modo, nota la tensione d'ingresso, è possibile determinare il punto di riposo e come questi si muova sulla curva di carico.

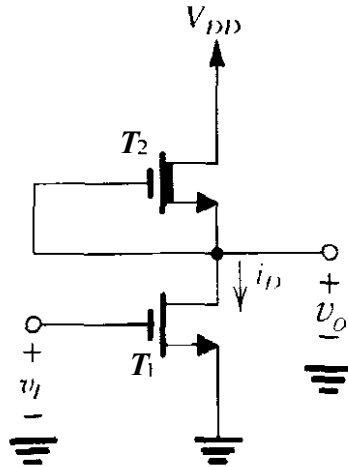


Fig. 11.5 – Amplificatore NMOS con carico a svuotamento

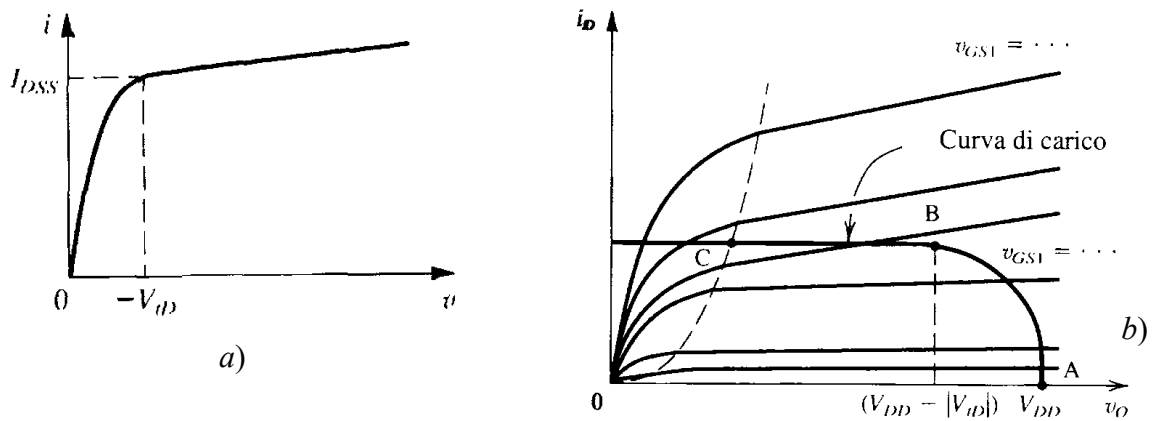


Fig. 11.6 – a) Caratteristica *i-v* del carico a svuotamento.
 b) Costruzione grafica per determinare il punto di riposo

Se entrambi i dispositivi si trovano in zona lineare, il circuito equivalente dinamico è quello riportato in Fig. 11.7. In esso sono state riportate le resistenze d’uscita dei due MOSFET, r_{o1} e r_{o2} , per potere calcolare l’amplificazione a vuoto (cioè in assenza di carico).

Poiché il gate e il source del transistor di carico sono cortocircuitati, allora $v_{gs2} = 0$, pertanto il generatore di corrente dipendente $g_{m2}v_{gs2}$ si annulla. L’amplificazione è allora la stessa di un amplificatore a source comune:

$$A = \frac{v_o}{v_i} = -g_{m1}(r_{o1} // r_{o2}). \tag{11.1}$$

In questo caso, però, è come se si avesse la resistenza d’uscita del MOSFET r_{o2} in luogo della resistenza sul drain, con il vantaggio che normalmente $r_{o2} \gg R_D$ (quindi anche A risulta maggiore).

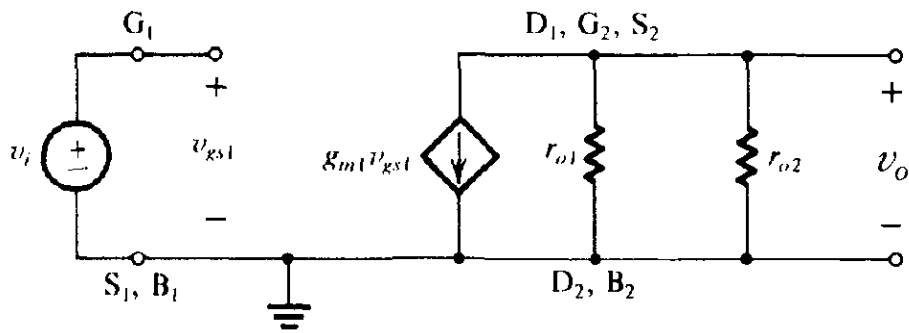


Fig. 11.7 – Schema equivalente dinamico dell'amplificatore con carico a svuotamento

11.4 Evoluzione delle famiglie logiche

I dispositivi digitali vengono suddivisi in famiglie logiche, ciascuna delle quali differisce dall'altra sia per quanto concerne il tipo di tecnologia utilizzata, sia per la circuiteria elementare su cui si basano le porte logiche. Nell'ambito della stessa famiglia vi sono poi diverse "serie" o "sottofamiglie", intese a migliorare alcune caratteristiche elettriche rispetto ad altre.

I dispositivi logici vengono oggi costruiti con la tecnologia dei *circuiti integrati monolitici* che consente di ottenere su piccole piastrine di *silicio (chip)* numerosi circuiti logici con elevata affidabilità di funzionamento ad un costo relativamente basso.

A seconda del numero di porte logiche equivalenti contenute in un singolo chip, i circuiti integrati si classificano in:

1. Circuiti *SSI (Small Scale Integration)*, i quali contengono un *massimo di dieci porte logiche*.
2. Circuiti *MSI (Medium Scale Integration)*, i quali contengono tipicamente *da dieci a cento porte logiche*.
3. Circuiti *LSI (Large Scale Integration)*, i quali contengono tipicamente *da cento a mille porte logiche*.
4. Circuiti *VLSI (Very Large Scale Integration)*, i quali contengono un numero di *porte logiche superiore a mille*.

Gli integrati di una stessa famiglia sono contraddistinti da una sigla comune, seguita da un numero progressivo che identifica il componente. Così ad esempio appartengono tutti alla famiglia TTL LS (sigla 74LSXX) l'integrato 74LS00, contenente 4 porte NAND, il 74LS74, contenente due *flip-flop*, e il 74LS193, che è un *contatore binario singolo*. Appartengono alla famiglia CMOS 40XX ad esempio l'integrato 4001, quadruplo NOR, l'integrato 4011, quadruplo NAND e il 4014, *registro a scorrimento* a 8 stadi. Vedremo più avanti il funzionamento di questi integrati digitali.

In Fig. 11.8 sono raggruppate schematicamente le più importanti *famiglie logiche*; lo sfondo grigio indica quelle famiglie che, pur avendo avuto in passato una certa importanza, sono diventate del tutto obsolete.

La prima ad essere stata sviluppata, all'inizio degli anni '60, è stata la tecnologia bipolare con la famiglia RTL (*resistor-transistor logic, logica resistore-transistor*). A questa famiglia, ormai scomparsa, seguirono la DTL (*diode-transistor logic, logica diodo-transistor*) e la HTL (*high-threshold logic, logica a soglia elevata*), derivata dalla precedente e particolarmente adatta, per la sua elevata immunità al rumore, a lavorare in ambiente industriale. Anche queste due famiglie sono ormai abbandonate.

A partire dal 1965 è stata sviluppata la TTL o T²L (*transistor-transistor logic, logica transistor-transistor*), che, con tutte le sue evoluzioni, rimane tuttora la famiglia logica a BJT fondamentale.

Accanto al tipo *standard* (STD), ancora diffuso, è presente tutta una serie di sottofamiglie, ciascuna delle quali rappresenta un miglioramento per quanto riguarda la velocità di funzionamento e/o il consumo di potenza rispetto alla serie standard.

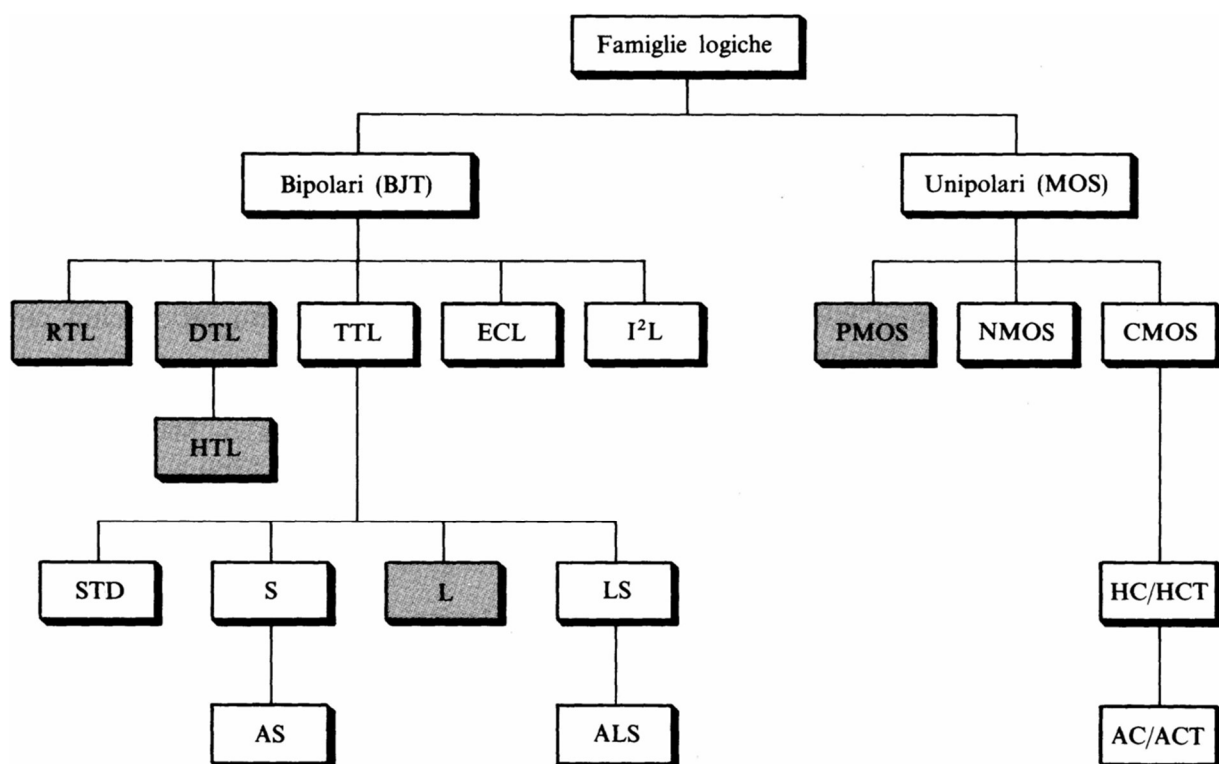


Fig. 11.8 – Evoluzione delle famiglie logiche

La TTL S (TTL *Schottky*), che impiega il più veloce BJT Schottky, è caratterizzata da un tempo di propagazione molto basso (3 ns), mentre la TTL L (*low-power*) presenta un consumo particolarmente ridotto. Quest'ultima famiglia è però in netto declino, soppiantata dalla più efficiente TTL LS (*low-power Schottky*), che unisce al pregio di un limitato consumo l'elevata velocità di funzionamento propria dei transistori Schottky. Attualmente la TTL LS è molto diffusa per applicazioni generiche e ad essa si fa normalmente riferimento come famiglia TTL base.

Dalle TTL S e TTL LS sono state sviluppate e commercializzate a partire dai primi anni '80 la TTL AS (*advanced Schottky*) e la TTL ALS (*advanced low-power Schottky*), che costituiscono le innovazioni più recenti. La TTL AS è la TTL più veloce (ritardo di propagazione pari a 1,5 ns) mentre la TTL ALS è la più efficiente, presentando il prodotto velocità \times potenza dissipata più basso (4pJ).

Attualmente, la famiglia più veloce in assoluto è la ECL (*emitter-coupled logic, logica ad accoppiamento di emettitore*), impiegata in applicazioni che richiedono frequenze di lavoro particolarmente elevate; essa è basata su BJT e presenta nella sua serie più avanzata, ritardi di propagazione inferiori ad 1 ns. La ragione della sua velocità va ricercata nel fatto che essa lavora tra la zona di interdizione e la zona attiva (invece che in zona di saturazione): le due regioni sono più vicine tra loro (rispetto alla "distanza" interdizione-saturazione) quindi la commutazione risulta più rapida.

La I²L o IIL (*integrated-injection logic, logica ad iniezione integrata*), pur presentando ottime caratteristiche riguardo al consumo e al grado di miniaturizzazione (è impiegata in integrati LSI), non ha mai raggiunto una larga diffusione.

La tecnologia unipolare, sebbene sviluppata e commercializzata più tardi della bipolare, grazie all'elevatissimo grado di integrazione ha praticamente monopolizzato il campo degli integrati LSI e VLSI, dapprima con i PMOS, poi con i più veloci NMOS e CMOS. Questi ultimi inoltre sono ben presenti con numerose famiglie nella piccola e media scala di integrazione. Rispetto agli integrati TTL, i CMOS offrono il vantaggio di un consumo notevolmente inferiore, a scapito però, per quanto riguarda le famiglie delle prime generazioni, di una velocità decisamente più bassa.

Negli ultimi decenni la tecnologia CMOS ha compiuto passi decisivi e con gli HCMOS (*high-speed CMOS*) delle serie HC e HCT ha praticamente raggiunto le frequenze di lavoro degli integrati TTL LS. Con gli ulteriori miglioramenti ottenuti nelle serie più recenti, le AC e ACT (*advanced CMOS*), i CMOS sono ormai in grado di portare una effettiva concorrenza alle TTL delle serie avanzate.

Infine, per quanto riguarda il campo di applicazione delle succitate famiglie, il mercato degli integrati SSI, MSI e LSI è dominato dai CMOS e dai TTL. Integrati VLSI, quali microprocessori,

memorie, ASIC, ecc. sono realizzati in prevalenza a NMOS o a CMOS. Gli NMOS sono impiegati nella progettazione di circuiti VLSI (memorie, in particolare).

11.5 Caratteristiche generali delle famiglie logiche integrate

Sui cataloghi dei circuiti integrati digitali il costruttore riporta tutta una serie di informazioni atte a definire le prestazioni del dispositivo in esame.

Generalmente per ogni dispositivo viene inizialmente data una descrizione sommaria, quindi vengono elencate tutte le caratteristiche fondamentali e le tipiche applicazioni. Del circuito integrato viene dato lo schema logico insieme alla piedinatura e alla tabella della verità.

In seguito vengono mostrate delle tabelle che consentono di ricavare i parametri elettrici sia in regime statico che dinamico. Vi è poi una tabella che indica i massimi valori che il dispositivo può sopportare senza perdere le proprie caratteristiche. Per dispositivi di una certa complessità, in genere la descrizione del circuito integrato è completata con dei grafici che mostrano l'andamento delle varie grandezze in funzione del tempo.

Le caratteristiche principali e i parametri di funzionamento delle famiglie logiche integrate sono di seguito elencate.

1) Tensione d'alimentazione V_{CC}

È la tensione continua che si deve fornire all'integrato. Di essa è indicata la massima escursione. Per la TTL: $V_{CC} = 4,5 \div 5,5$ V, per la CMOS: $V_{CC} = 3 \div 18$ V.

2) Corrente d'alimentazione I_{CC}

È la corrente fornita dal terminale di alimentazione V_{CC} . Per la TTL: $I_{CC} = 10$ mA, per la CMOS: $I_{CC} \approx 0$ in regime statico.

3) Potenza dissipata P_d

È la potenza media dissipata per il funzionamento con onda quadra ad una prefissata frequenza o quella dissipata in continua. Per la TTL: $P_d = 10$ mW in continua; $P_d = 18$ mW a 1 MHz. Per la CMOS: $P_d = 10$ nW in continua; $P_d = 1$ mW a 1 MHz.

4) Livelli di tensione di ingresso e di uscita

Rappresentano le tensioni di ingresso e di uscita che consentono un corretto e non ambiguo riconoscimento del livello logico basso e alto. Con riferimento alla Fig. 11.9 si ha:

a) V_{ILmax} : Tensione d'ingresso massima sul livello basso. Per la TTL: $V_{ILmax} = 0,8$ V. Per la CMOS: $V_{ILmax} = V_{CC}/3$.

b) V_{IHmin} : Tensione di ingresso minima sul livello alto. Per la TTL: $V_{IHmin} = 2$ V. Per la CMOS: $V_{IHmin} = 2 \cdot V_{CC}/3$.

Se la tensione di ingresso V_I è compresa nell'intervallo $V_{ILmax} \div V_{IHmin}$ non è garantito il riconoscimento del livello logico di entrata. Tale intervallo viene talora denominato *zona d'indeterminazione*.

c) V_{OHmin} : Tensione minima d'uscita a livello alto nelle peggiori condizioni di carico. Per la TTL: $V_{OHmin} = 2,4$ V. Per la CMOS: $V_{OHmin} \approx V_{CC}$.

d) V_{OLmax} : Tensione massima d'uscita al livello basso nelle peggiori condizioni di carico. Per la TTL: $V_{OLmax} = 0,4$ V. Per la CMOS: $V_{OLmax} \approx 0$.

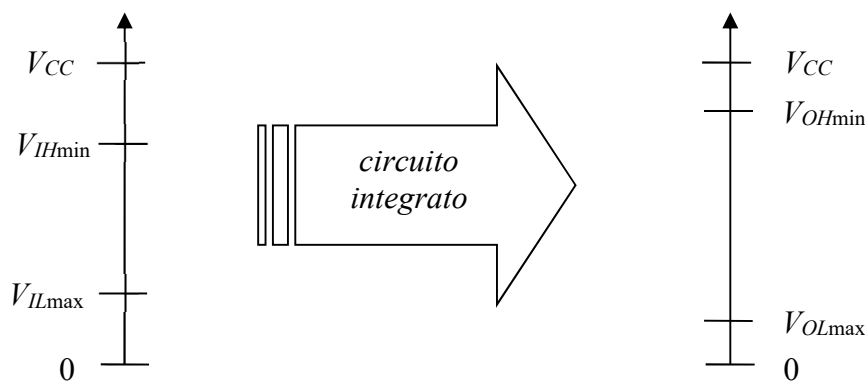


Fig. 11.9 – Dislocazione dei livelli logici di tensione per le porte logiche

5) Livelli di corrente d'ingresso e di uscita

Sui manuali, per convenzione, le correnti sono indicate *positive* se *entrant* nei morsetti di ingresso o di uscita, *negative* se *uscenti*; quelle entranti sono dette *correnti di sink*, quelle uscenti *correnti di source*.

a) I_{IL} : Corrente uscente (*source current*) da un terminale di ingresso quando è posto al livello basso con gli altri a V_{CC} . Tale corrente deve essere minore di un valore massimo I_{ILmax} . Per la TTL: $I_{ILmax} = 1,6$ mA. Per la CMOS: $I_{ILmax} = 0,1$ μ A.

b) I_{IH} : Corrente assorbita da un ingresso (*sink current*) quando è posto al livello alto con gli altri connessi a massa. Il costruttore indica il massimo valore ammissibile I_{IHmax} . Per la TTL: $I_{IHmax} = 40$ μ A. Per la CMOS: $I_{IHmax} = 0,1$ μ A.

c) I_{OL} : È la corrente che una porta logica assorbe (*sink current*) quando la sua uscita è al livello basso. Il costruttore indica il valore massimo I_{OLmax} in prefissate condizioni di carico. Per la TTL: $I_{OLmax} = 16$ mA. Per la CMOS: $I_{OLmax} = 4$ mA con $V_{CC} = +5$ V (serie HCMOS).

d) I_{OH} : È la corrente che una porta logica eroga (*source current*) quando la sua uscita è al livello alto. Viene fornito il valore massimo I_{OHmax} . Per la TTL: $I_{OHmax} = 400$ μ A. Per la CMOS: $I_{OHmax} = 4$ mA con $V_{CC} = +5$ V (serie HCMOS).

Le correnti succitate, riferite ad una porta NAND, sono riportate in Fig. 11.10.

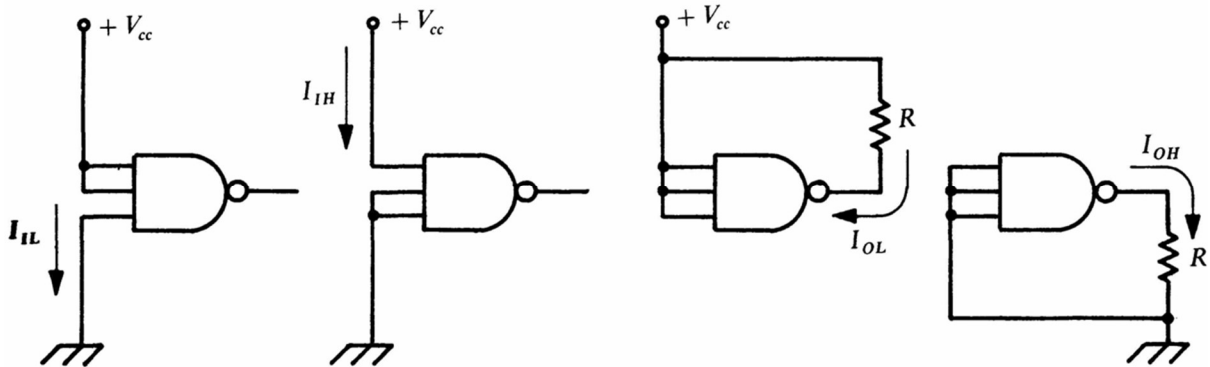


Fig. 11.10 – Connessioni per la determinazione delle correnti d'ingresso e d'uscita di una porta logica

Si vuole rilevare che i valori indicati per le tensioni e le correnti sono quelli tipici che il costruttore consiglia per un ottimale funzionamento del dispositivo logico operante da solo o in collegamento con altri dispositivi logici. È evidente che si può operare in condizioni di carico diverse da quelle consigliate. In tal caso, però, si deve verificare attentamente che non si superino i valori massimi ammissibili per la rottura dell'integrato e che siano verificate le condizioni di compatibilità dei livelli logici in caso di collegamento di più dispositivi digitali.

6) Fan-out sul livello alto FOH

Si definisce *fan-out* sul livello alto, FOH , il rapporto:

$$FOH = \frac{I_{OH\max}}{I_{IH\max}}. \quad (11.2)$$

Esso rappresenta il numero massimo di ingressi che l'uscita di una porta logica può pilotare correttamente sul livello alto. Per la TTL: $FOH = 10$. Per la CMOS, il valore teorico è infinito ma il costruttore consiglia $FOH = 50$

7) Fan-out sul livello basso FOL

È definito FOL il rapporto:

$$FOL = \frac{I_{OL\max}}{I_{IL\max}}. \quad (11.3)$$

Esso rappresenta il numero massimo di ingressi che l'uscita di una porta logica può pilotare correttamente sul livello basso. Per la TTL: $FOL = 10$. Per la CMOS, come per FOH , il costruttore consiglia $FOL = 50$.

Se FOH e FOL sono diversi tra loro, il costruttore definisce *fan-out complessivo FO* il più piccolo tra i due valori.

8) Corrente di corto circuito I_{OS}

È la corrente che scorre nel terminale d'uscita quando è posto in cortocircuito. Per la TTL: $I_{OS} = 30$ mA. Per la CMOS, la corrente di corto circuito dipende dalla tensione d'alimentazione; ad esempio per $V_{CC} = +5$ V si ha $I_{OS} \approx 5$ mA.

8) Tempi di commutazione

Sono definiti come i tempi necessari affinché l'uscita, nel cambiare stato logico, si porti al livello di riconoscimento del nuovo stato. Si consideri la Fig. 11.11 che illustra le tipiche forme d'onda relative ad un circuito invertente, insieme ai differenti tempi di commutazione. In particolare si ha:

a) Tempo di *discesa*, t_f , (*fall time*) del segnale d'uscita misurato tra il 90% e il 10% della tensione di uscita massima V_{OHM} .

b) Tempo di *salita*, t_r , (*rise time*) del segnale d'uscita, definito come il tempo necessario affinché l'uscita vari tra il 10% e il 90% del valore massimo V_{OHM} .

c) Tempo di *propagazione dal livello alto a quello basso*, t_{pHL} , che viene misurato come intervallo tra il 50% di V_{IHM} e il 50% di V_{OHM} .

d) Tempo di *propagazione del livello basso a quello alto*, t_{pLH} , che viene misurato come intervallo tra il 50% di V_{IHM} e il 50% di V_{OHM} .

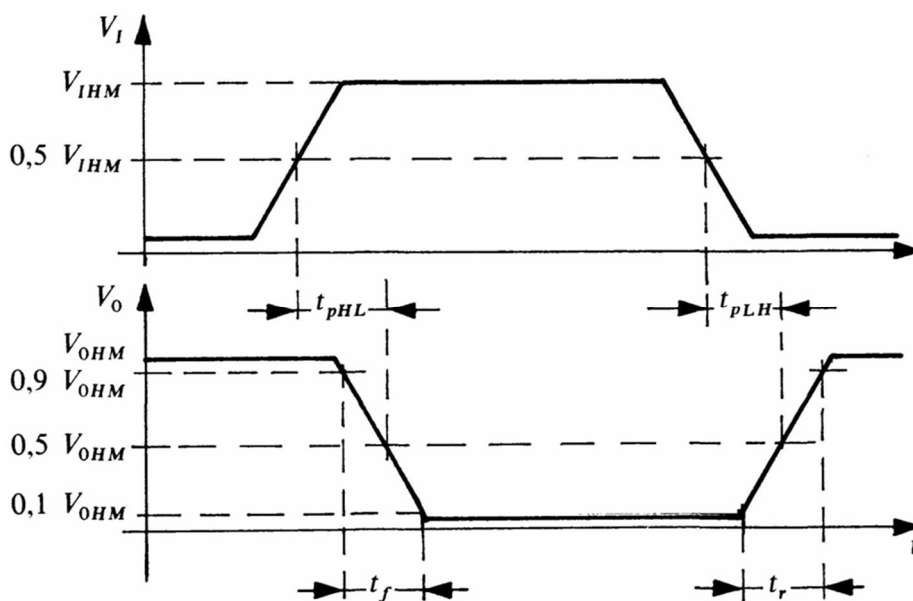


Fig. 11.11 – Diagrammi temporali relativi ai tempi di commutazione e di propagazione

I tempi t_{pHL} e t_{pLH} sono in genere diversi e il costruttore fornisce anche il loro valore medio indicato come tempo di ritardo di propagazione t_p . Tipicamente per la TTL (standard): $t_p = 10$ ns, mentre per la CMOS (serie 4000B): $t_p = 100$ ns con $V_{CC} = +5$ V.

11.6 Funzionamento del BJT in commutazione

Nel capitolo precedente si è studiato in dettaglio il funzionamento del BJT in zona attiva. Adesso, per completare il quadro si è pronti a considerare cosa succede quando il transistor lascia la zona attiva. Ad un estremo di questa regione in transistor entra in interdizione, mentre all'altro estremo il transistor entra nella regione di saturazione. Questi due modi estremi di funzionamento sono molto utili quando si vuole utilizzare il transistor *in commutazione*, ossia come *interruttore*, come nelle famiglie logiche TTL.

Si può meglio comprendere il funzionamento di un BJT in commutazione, analizzandone le *caratteristiche d'uscita*. Supponiamo pertanto di disporre di un BJT in configurazione ad emettitore comune come quello in Fig. 11.12a; le sue caratteristiche $I_C - V_{CE}$ sono tracciate in Fig. 11.12b insieme alla sua retta di carico.

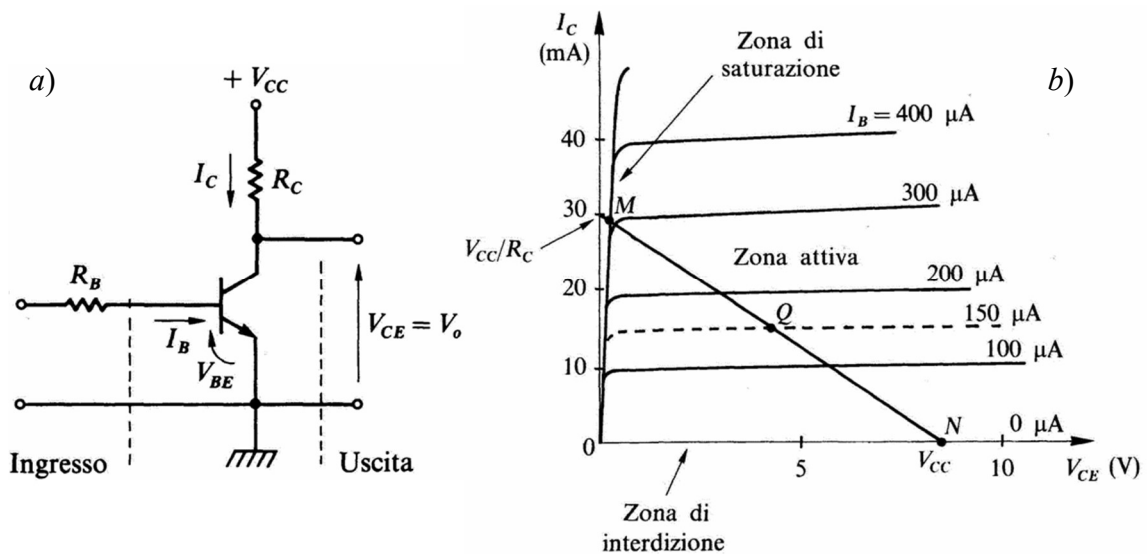


Fig. 11.12 – a) Circuito per commutazione con BJT ad emettitore comune.

b) Caratteristiche d'uscita del BJT e retta di carico

Sulle caratteristiche d'uscita si possono riconoscere tre zone: la *zona attiva*, la regione d'*interdizione* e quella di *saturazione*. Il funzionamento del BJT in zona attiva (punto di riposo Q) è stato studiato nel Cap. 8 e – com'è noto – in tale regione il transistor si comporta da *amplificatore di*

corrente. In particolare il rapporto tra la corrente d'uscita I_C e quella d'ingresso I_B è pari al guadagno β .

Quando il punto di riposo si porta nella posizione M di Fig. 11.12b la corrente I_C non cresce ulteriormente, anche se si continua ad aumentare I_B , ma mantiene il suo valore pari all'incirca a V_{CC}/R_C : il BJT è allora in *saturation*.

In questa zona non è più valida la relazione fondamentale del transistor espressa dall'equazione $I_B = I_C/\beta$ (cfr. relazione (8.1)) ma risulta:

$$I_{B(\text{sat})} > \frac{I_{C(\text{sat})}}{\beta} . \quad (11.4)$$

La tensione V_{CE} presenta valori molto bassi e convenzionalmente si assume $V_{CE(\text{sat})} = 0,2$ V. La corrente di collettore $I_{C(\text{sat})}$ è pressoché costante, dato che risulta

$$I_{C(\text{sat})} = \frac{V_{CC} - V_{CE(\text{sat})}}{R_C} \approx \frac{V_{CC}}{R_C} . \quad (11.5)$$

Essendo inoltre I_B più elevata che in zona attiva, V_{BE} assume valori più alti e tipicamente si assume $V_{BE(\text{sat})} = 0,8$ V.

In saturazione *entrambe le giunzioni sono polarizzate direttamente*; infatti anche la tensione ai capi della giunzione CB , valendo $V_{BC} = V_{BE(\text{sat})} - V_{CE(\text{sat})} = 0,8 - 0,2 = 0,6$ V, risulta positiva. Il motivo di questa asimmetria tra le soglie delle due giunzioni BE e BC in realtà è da ricercarsi nelle differenze geometriche delle due giunzioni (cfr. Fig. 11.3): per tale motivo la $V_{CE(\text{sat})}$ – differenza tra due tensioni ai capi di due diodi (BE e BC) polarizzati direttamente – non è esattamente pari a 0, ma è convenzionalmente pari a circa 0,2 V.

Normalmente il circuito viene progettato in modo tale che I_B sia più alta di $I_{B(\text{sat})}$ di un fattore che varia da 2 a 10 (denominato *fattore di overdrive*).

Diminuendo V_{BE} , la corrente I_B diminuisce e con essa anche I_C , finché per $V_{BE} < V_\gamma$ ($V_\gamma \approx 0,6 - 0,7$ V, tensione di soglia della giunzione base-emettitore), entrambe le correnti vengono ad assumere valori molto bassi, praticamente trascurabili. Il BJT si trova allora a funzionare in zona di *interdizione*.

È chiaro che *tensioni di base negative* continuano a mantenere il BJT in interdizione. In questo caso però occorre prestare attenzione che V_{BE} non superi, in valore assoluto, la tensione di rottura della giunzione BE . Questo parametro, che è di qualche volt, viene indicato dai costruttori con BV_{EBO} , *tensione di breakdown* fra emettitore e base.

In interdizione entrambe le giunzioni del BJT sono polarizzate inversamente.

Nelle applicazioni in cui il transistor viene utilizzato in commutazione, esso lavora tra interdizione e saturazione (ad eccezione della logica ECL, che non è oggetto di questo corso). Quindi uno stato

dell'interruttore corrisponde all'interdizione del BJT, l'altro alla saturazione. Ci sono molti motivi per i quali si scelgono queste due modalità operative. Una di queste ragioni consiste nel fatto che sia in interdizione che in saturazione le correnti e le tensioni nel transistor sono ben definite e non dipendono da parametri instabili come β . Un'altra ragione è legata al fatto che in interdizione e in saturazione la potenza dissipata dal BJT è minima. Sebbene questo sia ovvio nel caso dell'interdizione ($I_C \approx 0$), lo è anche nel caso della saturazione, poiché la tensione $V_{CE(sat)}$ è molto piccola. Per tale motivo il *fattore di overdrive* – ossia il rapporto $I_B / I_{B(sat)}$ – è sempre scelto superiore a 1, in modo da porre il punto di riposo senz'altro in zona di saturazione^(*).

Alla luce di quanto detto, il circuito di Fig. 11.12a funziona da interruttore tra la zona d'interdizione e quella di saturazione, se in ingresso viene inviato un segnale avente livelli di tensione opportuni. Supponiamo che il segnale d'ingresso possa assumere solo due livelli: «alto» (o «1») e «basso» (o «0») e che il livello alto sia associato ad una tensione pari a quella d'alimentazione V_{CC} , mentre quello basso ad una tensione nulla. Quando l'ingresso è a livello alto (V_{CC}) la giunzione BE è sicuramente polarizzata direttamente, così come la giunzione BC se le due resistenze R_B e R_C sono opportunamente dimensionate. In questo caso l'uscita V_o coincide con $V_{CE(sat)}$, cioè si può considerare pari a 0, dunque al *livello basso*: il BJT si comporta da *interruttore chiuso*. Se invece il segnale d'ingresso è nullo, cioè a livello basso, ovviamente le due giunzioni BE e BC sono interdette: il segnale d'uscita è allora pari a V_{CC} , cioè al *livello alto*, dato che il BJT si comporta da *interruttore aperto*. Il circuito si comporta pertanto da porta logica NOT ed è detto *invertitore a transistor*.

Si noti che, a differenza di come si opera in zona attiva, nel funzionamento in commutazione di Fig. 11.12a non ci si preoccupa di stabilizzare il punto di riposo con la resistenza sull'emettitore o dimensionando opportunamente il partitore d'ingresso: infatti i punti M e N di Fig. 11.12b sono (entro certi limiti) intrinsecamente stabili, non dipendendo né da β , né dalla dispersione delle caratteristiche.

Le commutazioni fra i due stati di saturazione e di interdizione del BJT non sono, come si può prevedere, istantanee, ma richiedono un certo intervallo di tempo. Si definisce *tempo di commutazione in ON* (o *turn-on time*), t_{ON} , il tempo necessario affinché la corrente I_C si porti al 90% del suo valore massimo di saturazione in seguito ad una commutazione. Analogamente il *tempo di commutazione in OFF* (o *turn-off time*), t_{OFF} , è il tempo necessario affinché la corrente I_C si porti dal suo valore di saturazione al 10% di tale valore.

^(*) Si fa in modo che il fattore di overdrive non sia comunque troppo elevato, perché altrimenti se si forza troppo il punto di riposo in saturazione, la velocità di commutazione rallenta a causa di fenomeni capacitivi dovuti ad accumulo di cariche nella giunzione BC .

11.7 Funzionamento del MOSFET in commutazione

Anche per il funzionamento del MOSFET in commutazione conviene riferirsi alle caratteristiche d'uscita. Si consideri pertanto il MOSFET a source comune di Fig. 11.13a e le sue caratteristiche $I_D - V_{DS}$ riportate in Fig. 11.13b.

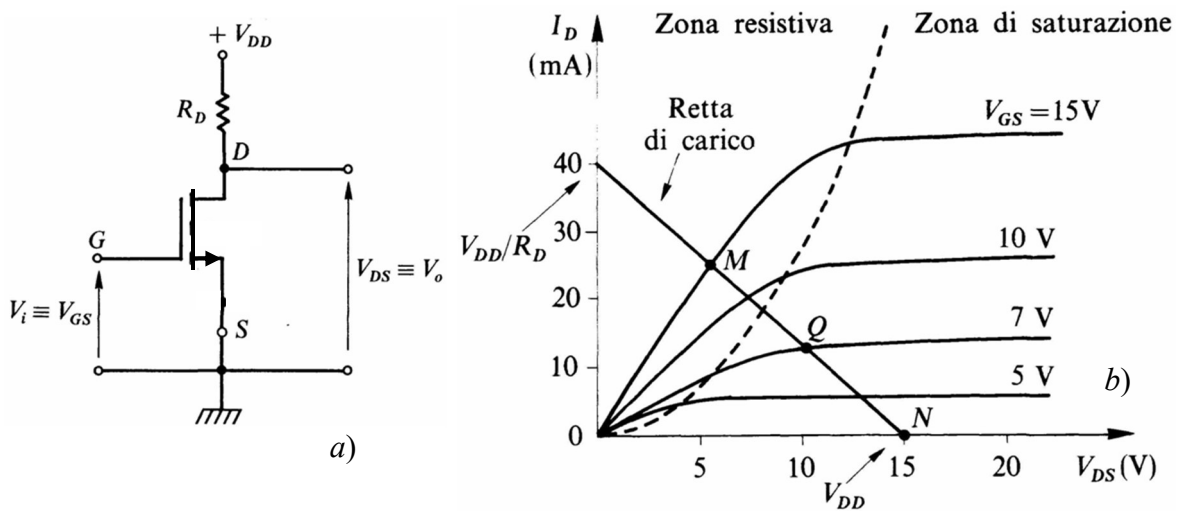


Fig. 11.13 – a) Circuito per commutazione con MOSFET a source comune.

b) Caratteristiche d'uscita del MOSFET e retta di carico

Il MOSFET può lavorare sia come amplificatore di segnale, sia in commutazione. Nel primo caso il punto di funzionamento viene a trovarsi nella zona di saturazione (ad esempio nel punto Q delle caratteristiche di Fig. 11.13b), dove la corrente di uscita I_D dipende in maniera sufficientemente lineare dalla tensione di ingresso V_{GS} .

Nel funzionamento come commutatore il MOS invece passa da uno stato di interdizione (punto N sulle caratteristiche) ad uno stato di piena conduzione (punto M) situato nella zona resistiva, che coincide con la parte iniziale della regione di triodo. Più precisamente per valori di $V_{GS} < V_t$, il canale non è formato e $I_D = 0$: il MOS è interdetto (OFF) e il punto di funzionamento cade in N di modo che $V_{DS} = V_{DD}$. Allorché invece

$$V_{GS} > V_t, \tag{11.6}$$

nel canale inizia a scorrere corrente e la caduta di tensione sulla resistenza di carico R_D provoca una riduzione di V_{DS} . Il punto di riposo si sposta prima nella zona di saturazione e poi, aumentando ancora V_{GS} , nella zona ohmica (punto M) dove il MOS si comporta come una resistenza – generalmente indicata con r_{ON} – il cui valore è rappresentato dall'inverso della pendenza della caratteristica.

Con i MOSFET nello stato ON non si ha né una tensione V_{DS} nulla, né il dispositivo si può assimilare ad un interruttore chiuso. In realtà, in queste condizioni il modello del MOSFET è quello di una resistenza pari a r_{ON} .

La resistenza esterna R_D e quella del canale r_{ON} vengono a costituire un partitore di tensione che fornisce in uscita una frazione della tensione di alimentazione V_{DD} . Tuttavia, scegliendo R_D sufficientemente più elevata di r_{ON} , $V_o (= V_{DS})$ diviene una frazione molto piccola di V_{DD} e il MOSFET si può considerare come un cortocircuito risultando $V_{DS} \approx 0$. Il circuito di Fig. 11.13a si comporta allora da porta NOT ed è chiamato *invertitore a MOSFET* (logica NMOS).

Si noti che i *tempi di commutazione* nei MOSFET sono fortemente influenzati dalle capacità parassite esistenti tra i terminali. Nonostante ciò, con le nuove tecnologie di fabbricazione si è riusciti a ridurre notevolmente le dimensioni dei MOSFET con conseguente diminuzione delle capacità parassite, sicché attualmente le *velocità di commutazione* degli integrali digitali unipolari (MOSFET) sono quasi uguali a quelle degli integrati bipolari (BJT).

11.8 La famiglia CMOS

I CMOS o MOS *complementari* (*complementary MOS*) costituiscono un'importante famiglia logica che, come la TTL, ha dato origine a numerose sottofamiglie. La struttura base, quella dell'*invertitore*, è illustrata in Fig. 11.14a. Essa è costituita da due MOS complementari, cioè da un NMOS ($T1$) e da un PMOS ($T2$) con caratteristiche elettriche simili, posti in serie con i drain connessi insieme.

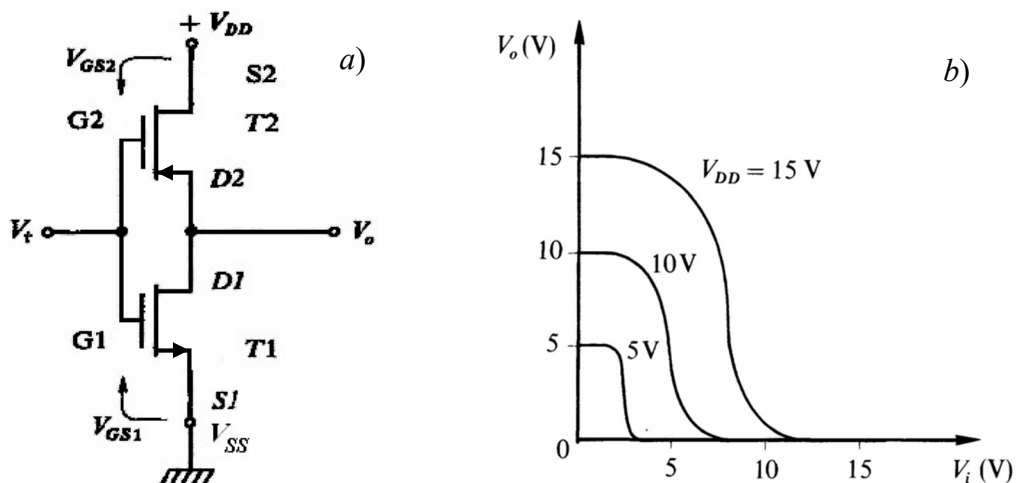


Fig. 11.14 – CMOS: a) struttura interna; b) caratteristiche di trasferimento

Come si è detto nel Cap. 7, l'NMOS entra in conduzione quando la sua tensione V_{GS} supera V_t , che nei CMOS varia da 1,5 V a circa 0,75 V a seconda della sottofamiglia considerata. Il PMOS a sua volta conduce quando $V_{GS} < V_t$, dove V_t è negativa ed in valore assoluto circa pari alla tensione di soglia dell'NMOS. Nell'inverter di Fig. 11.14a, allorché $V_i = 0$, si ha $V_{GS1} = 0$ e $V_{GS2} = -V_{DD}$; pertanto $T1$ è OFF mentre $T2$ è ON e risulta $V_o = V_{DD}$. Viceversa quando $V_i = V_{DD}$, si ha $V_{GS1} = V_{DD}$ mentre $V_{GS2} = 0$; $T1$ è ON e $T2$ è OFF, cosicché $V_o = 0$.

Si può analizzare il funzionamento del CMOS più in dettaglio, facendo riferimento alle *caratteristiche di trasferimento* illustrate in Fig. 11.14b, relative a tre diverse tensioni di alimentazione, $V_{DD} = 5, 10$ e 15 V. Facendo riferimento ai CMOS della serie 4000, finché $V_i < 1,5$ V circa, $T1$ è, come si è già detto, OFF e $T2$ ON; l'uscita risulta collegata a V_{DD} attraverso il canale del PMOS, in modo che, non scorrendo corrente, $V_o = V_{DD}$.

Non appena V_i supera la tensione di soglia V_t di $T1$, questo va in conduzione ed avviene una partizione di V_{DD} sulle resistenze dei canali dei due MOS. Inizialmente la resistenza del canale di $T1$ è più elevata; aumentando V_i , questa diminuisce mentre cresce la resistenza di $T2$, sicché per $V_i = V_{DD}/2$ le due resistenze sono uguali. La tensione di uscita V_o risulta allora pari a $V_{DD}/2$.

Aumentando ancora V_i , la resistenza di $T2$ supera sempre più quella di $T1$, cosicché V_o si abbassa ancora fino a raggiungere circa 0 V quando, per $V_i = V_{DD} - 1,5$ V, $T2$ va in OFF.

La porta CMOS può essere rappresentata, dal punto di vista elettrico, con il modello equivalente di Fig. 11.15.

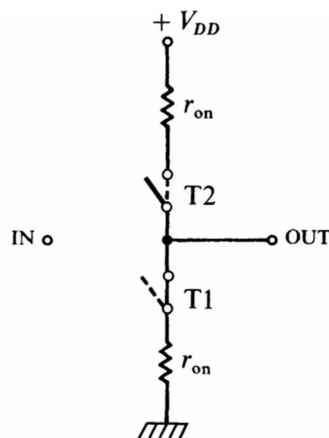


Fig. 11.15 – *Modello elettrico equivalente della porta CMOS*

L'ingresso, essendo collegato al gate dei MOS, è isolato dal corpo del dispositivo dallo strato di ossido di silicio; la sua impedenza risulta perciò elevatissima ($> 10^{10} \Omega$) e il terminale può essere considerato praticamente fluttuante. Nel ramo d'uscita i due MOS possono essere rappresentati mediante due

interruttori, funzionanti in modo complementare, ciascuno posto in serie alla resistenza r_{ON} del canale in piena conduzione.

Il valore di r_{ON} è tipicamente di $500\ \Omega$ nei MOS delle serie classiche (4000 e 74C) mentre si abbassa di una decina di volte nelle serie ad alta velocità (HCMOS).

Per evitare che la carica statica indotta dalla manipolazione del componente crei un potenziale in grado di perforare l'ossido di gate e di danneggiare irreversibilmente il componente, vengono allora inseriti dei diodi limitatori (*diodi clamp*) per proteggere gli ingressi, come illustrato in Fig. 11.16. Essi impediscono alla tensione sugli ingressi di salire oltre $V_{DD} + V_\gamma$ e di scendere sotto a $-V_\gamma$ (con V_γ tensione di soglia dei diodi).

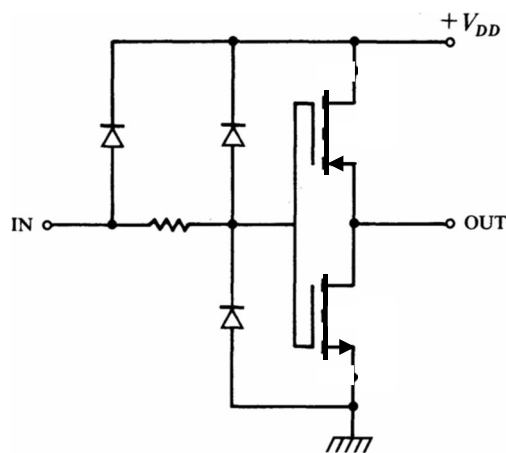


Fig. 11.16 – Protezione mediante diodi clamp dell'ingresso delle porte CMOS

Le porte CMOS delle prime generazioni (serie 4000 e 74C) presentano ritardi di propagazione notevolmente superiori a quelli delle porte TTL, a causa dei maggiori valori della resistenza di uscita, dell'ordine di diverse centinaia di ohm, (mentre per i TTL è circa $100\ \Omega$). Il problema è stato brillantemente risolto nei MOS ad alta velocità (serie HC, HCT, AC, ACT) dove il ritardo di propagazione è ormai confrontabile con quello dei TTL.

In condizioni statiche la porta CMOS sostanzialmente non dissipa potenza; infatti, la corrente d'ingresso è praticamente nulla per via dell'ossido isolante e così pure quella del ramo di uscita, poiché uno dei due MOS è nello stato di interdizione.

Al contrario durante la commutazione, i MOS, anche se per un tempo breve, vengono a trovarsi entrambi in conduzione cosicché viene a scorrere una corrente I_{DD} dall'alimentazione verso massa. In Fig. 11.17a insieme con la caratteristica d'ingresso-uscita è illustrato l'andamento in funzione di V_i di questa corrente che, per $V_i = V_{DD}/2$, raggiunge il valore massimo di qualche mA.

Viene pertanto dissipata una potenza che dipende, oltre che dalla durata della commutazione e della resistenza dei canali, anche dal quadrato di V_{DD} e dal numero di commutazioni nell'unità di tempo, cioè dalla *frequenza di funzionamento* f .

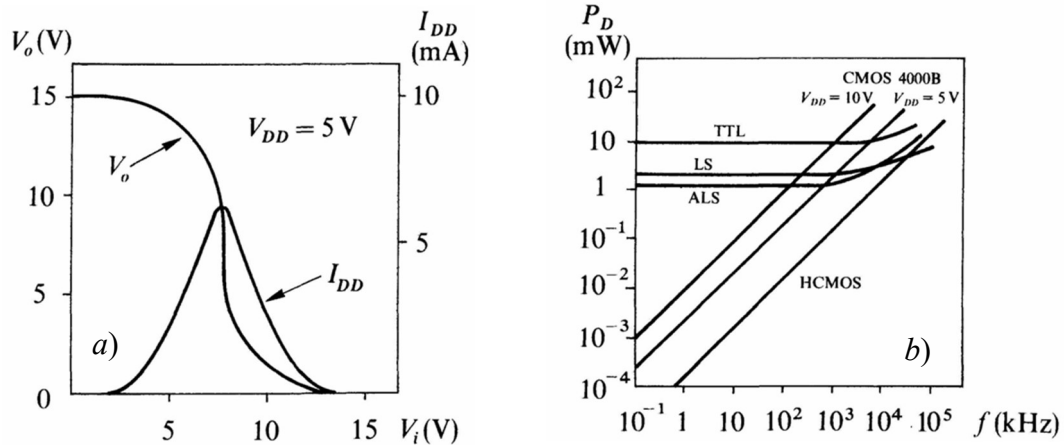


Fig. 11.17 – a) Caratteristica ingresso-uscita della porta CMOS ed andamento della corrente I_{DD} assorbita dall'alimentazione. b) Grafico comparativo delle potenze dissipate da porte TTL e CMOS

In conclusione, se è vero che in regime statico la potenza dissipata dai CMOS è trascurabile rispetto a quella dissipata dai TTL, all'aumentare della frequenza i consumi vengono ad avvicinarsi sempre più, come illustrato nei grafici di Fig. 11.17b.

La tecnologia CMOS presenta un insieme di serie commerciali sia nell'ambito SSI e MSI, che in quello LSI e VLSI che presentano un ventaglio ricco e completo di funzioni. Accanto alle classiche – ma tuttora valide – serie 4000 e 74 C, troviamo le sottofamiglie ad alta velocità 74 HC e 74 AC, sviluppate e commercializzate successivamente.

– *Serie 4000*. Nell'ambito di questa famiglia, la serie di gran lunga più diffusa è quella contrassegnata con il suffisso B, iniziale di *buffered*. La struttura di una porta 4000B comprende, oltre allo stadio che implementa la funzione desiderata, una *coppia di stadi invertitori* che fungono da *buffer*, ossia separano elettricamente lo stadio di ingresso dall'uscita, migliorando nettamente le caratteristiche elettriche della porta. La caratteristica di trasferimento di queste porte si avvicina alla curva ideale, con un passaggio netto fra i due stati logici. Questa serie è da considerarsi ormai obsoleta.

– *Serie 74C*. Questa serie presenta caratteristiche simili alla serie 4000B, ma non è bufferizzata. Essa ha la particolarità di essere equivalente come funzionalità e piedinatura alla famiglia TTL; ciò significa che integrati con la stessa sigla nelle due famiglie contengono le stesse funzioni logiche e

presentano le stesse connessioni esterne. Il 74C00 ad esempio contiene 4 NAND a due ingressi, come il 7400 TTL. È così possibile implementare direttamente in CMOS progetti nati per la TTL, senza modifica alcuna.

– *Serie 74HC e 74HCT*. Il limite principale dei CMOS tradizionali, ovvero la scarsa velocità, viene brillantemente superato con le serie CMOS *veloci* che possono competere ormai, quanto a frequenza di lavoro, con la serie TTL LS. La tecnica del *gate in polisilicio*, insieme con quella dell'*impiantazione ionica*, ha consentito di ridurre notevolmente le dimensioni del MOS (la lunghezza del canale è stata ridotta a 3 μm) e con esse le capacità parassite. Il ritardo di propagazione è così sceso a 8 ns e la frequenza di lavoro massima è salita a circa 50 MHz.

La serie 74HC (*high-speed CMOS*) comprende la maggior parte delle funzioni delle serie TTL e le più importanti della serie 4000. La tensione d'alimentazione deve essere compresa tra 2 e 6 V. I valori limite delle correnti di uscita sono più elevati di quelli della serie 4000, risultando pari a ± 4 mA.

La serie 74HCT (*high-speed CMOS TTL-compatible*) presenta le stesse caratteristiche della serie precedente con la differenza che i livelli di ingresso sono gli stessi della TTL LS. In questo modo vengono eliminati tutti i problemi di interfacciamento fra porte TTL e CMOS.

– *Serie 74AC e 74ACT*. Il processo di riduzione delle dimensioni del MOS ha portato recentemente alla produzione di nuove famiglie in cui la lunghezza del canale è inferiore a 2 μm . Si arriva così a tempi di propagazione confrontabili con quelli delle TTL ALS, con i benefici però di un consumo molto più contenuto. In particolare, la serie AC (*advanced CMOS*) ha portato il tempo di propagazione a 5 ns con un prodotto velocità-potenza di 0,01 pJ, contro i 6 pJ della TTL ALS. Anche in questa famiglia è disponibile una serie, indicata con la sigla 74ACT, caratterizzata da livelli d'ingresso TTL compatibili.

In Tab. 11.1 sono riportati i valori limite di tensione e corrente delle diverse sottofamiglie.

11.9 Configurazioni speciali

11.9.1 Porte open drain

Le porte *open drain* sono circuiti integrati strutturalmente analoghi a quelli visti precedentemente, con la differenza che presentano nello stadio di uscita un transistor MOS con il drain aperto, non connesso all'alimentazione.

Tab. 11.1 – Caratteristiche delle sottofamiglie CMOS

	4000B	HC	HCT	AC	ACT
V_{IH}	3,5 V	3,15 V	2,0 V	3,15 V	2,0 V
V_{IL}	1,5 V	0,9 V	0,8 V	1,35 V	0,8 V
V_{OH}	4,95 V	4,4 V	4,4 V	4,4 V	4,4 V
V_{OL}	0,05 V	0,1 V	0,1 V	0,1 V	0,1 V
$NM_{H/L}$	1,45/1,45 V	1,25/0,8 V	2,4/0,7 V	1,25/1,25 V	2,4/0,7 V
$I_{I(max)}$	$\pm 0,1 \mu A$	$\pm 0,1 \mu A$	$\pm 0,1 \mu A$	$\pm 0,1 \mu A$	$\pm 1 \mu A$
I_O @ V_O	$\mp 0,44 \text{ mA}$ 4,6/0,4 V	$\mp 4 \text{ mA}$ 3,7/0,4 V	$\mp 4 \text{ mA}$ 3,7/0,4 V	$\mp 24 \text{ mA}$ 3,7/0,4 V	$\mp 24 \text{ mA}$ 3,7/0,4 V
t_p	100 ns	8 ns	8 ns	5 ns	5 ns

Per la serie 4000B: $V_{DD} = 5 \text{ V}$
 Per le altre serie: $V_{DD} = 4,5 \text{ V}$

Il simbolo logico di tale porta è indicato in Fig. 11.18; in generale l’asterisco indica un’uscita in open drain (si parla di *open collector*, nel caso di porte TTL).

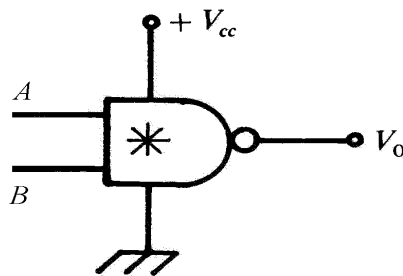


Fig. 11.18 – Simbolo logico di una porta open drain

Una porta open drain si comporta come una porta ordinaria se si connette tra uscita e alimentazione una resistenza detta di *pull-up* come mostrato in Fig. 11.19.

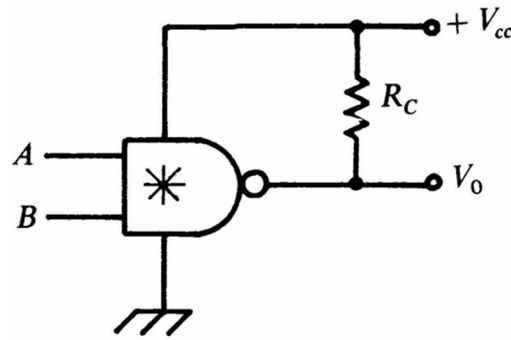


Fig. 11.19 – Collegamento di una porta open collector o open drain con resistenza di pull-up

I principali vantaggi della struttura open drain sono:

1. Possibilità di alimentare la resistenza di pull-up R_C con una tensione *diversa* da quella propria della porta logica; in tal caso la resistenza di pull-up va dimensionata in modo da limitare la corrente che assorbe la porta logica ad un valore non eccedente il massimo consentito. Ad esempio, il 7407 è un chip che contiene sei buffer non invertenti a collettore aperto, ciascuno dei quali può essere alimentato con tensione massima di 30 V e può assorbire una corrente fino a 40 mA (vedi più avanti par. 11.9.2). Questo genere di funzionamento è tipico di situazioni nelle quali una porta sia chiamata a pilotare un carico costituito da un relè, da una lampada, o da un transistor (e che la tensione di polarizzazione di questo carico sia più elevata della tensione di alimentazione della porta stessa). Se si utilizzasse una porta non open drain, nello stato alto il transistor Q_3 verrebbe irregolarmente polarizzato inversamente.
2. Possibilità di realizzare il cosiddetto *AND cablato* o *wired-AND*, vale a dire che collegando insieme più uscite di porte open drain, come rappresentato in Fig. 11.20a, si ottiene l'AND delle uscite stesse. Il simbolo logico di tale connessione è riportato in Fig. 11.20b.

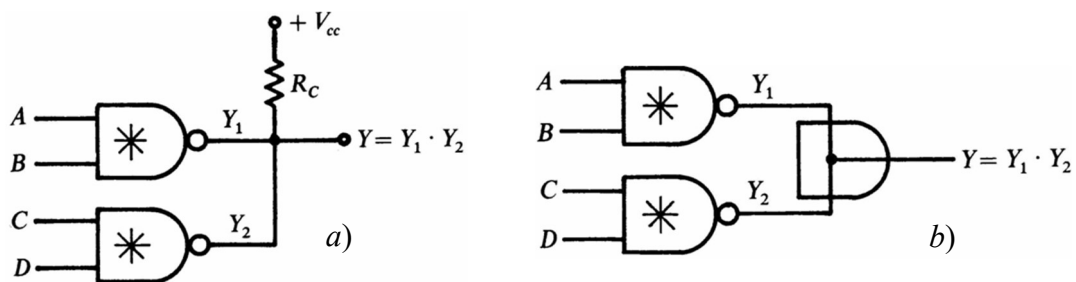


Fig. 11.20 – a) Connessione wired-AND di due porte NAND open collector e b) relativo simbolo logico

L'analisi del collegamento AND cablato è semplice se si tiene conto che un dispositivo open drain visto dalla sua uscita può essere interpretato come un interruttore chiuso: $Y = 0$ (MOS interno in conduzione), o come un interruttore aperto: $Y = 1$ (MOS interno interdetto). Quindi se una o entrambe le uscite Y_1 e Y_2 in Fig. 11.20a sono nello stato basso, in R_C scorre corrente e l'uscita comune Y assume il livello basso imposto dallo stato di saturazione di Y_1 e/o Y_2 . Se entrambe le uscite sono al livello alto, in R_C non scorre corrente e anche l'uscita comune Y si porta al livello alto. In definitiva: $Y = Y_1 \cdot Y_2$.

11.9.2 Buffer driver

Con questo termine sono indicate quelle porte periferiche che vengono interposte fra il sistema logico vero e proprio e i dispositivi esterni, quali visualizzatori, lampade, LED di potenza, relè, linee, bus, ecc. Siccome esse presentano talvolta uscite potenziata in tensione e corrente onde poter *pilotare* i dispositivi esterni, vengono chiamate anche *driver*. Circuitualmente i driver presentano spesso uscite open drain o tri-state.

Il 7407 – visto precedentemente (cfr. par. 11.9.1) – è un buffer driver non invertente mentre il 7406 è un buffer driver invertente; entrambi presentano un'uscita open drain in grado di assorbire una corrente di sink di 40 mA da carichi con alimentazione fino a 30 V. I 74125 e 126 sono buffer tri-state unidirezionali, il primo abilitato da un livello basso, il secondo da un livello alto.

Il 74LS245 è invece un buffer bidirezionale non invertente, espressamente progettato per trasmettere e ricevere da bus.

Nelle famiglie CMOS troviamo oltre al transceiver 74HC245, buffer non invertenti a tri-state, come il 4503, e i diffusi 4049 e 4050 (invertente il primo, non invertente il secondo).

Ad esempio, per pilotare un relè tramite un 7406 possiamo ricorrere allo schema di Fig. 11.21: nello stato basso dell'uscita, il relè è attivato e la corrente di sink assorbita dall'uscita della porta vale

$$I_L = \frac{V_a - V_{OL}}{R_L}, \quad (11.7)$$

dove V_a è la tensione di alimentazione e R_L è la resistenza interna del relè. Supponendo di avere $V_a = 24$ V e $R_L = 1,3$ k Ω , si ottiene $I_L \approx 24 / 1,3 = 18,5$ mA. Essendo $I_L < I_{OL} = 40$ mA, la porta è perfettamente in grado di pilotare il relè.

Nello stato ON, la corrente viene interrotta e l'uscita della porta viene interessata dalla tensione $V_a = 24$ V. Anche in questo caso, essendo $V_a < V_{OH} = 30$ V, la porta lavora in condizioni di sicurezza.

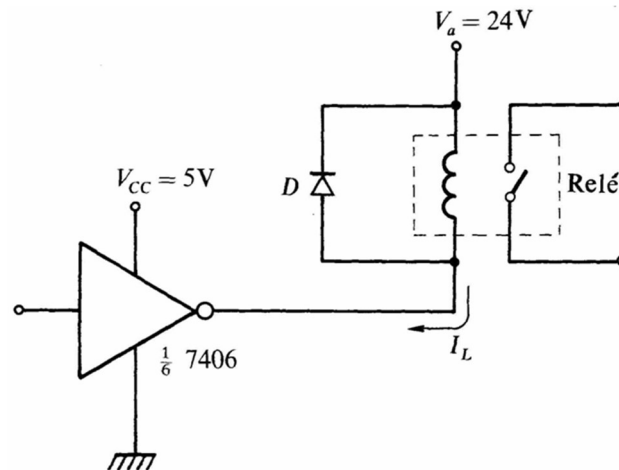


Fig. 11.21 – Pilotaggio di un relè tramite buffer 7406

Si noti la presenza nello schema del diodo *clamp* D , la cui funzione è quella di fornire un percorso alla corrente di scarica della bobina del relè, quando la porta diviene OFF. La mancanza del diodo potrebbe danneggiare la porta, a causa delle sovratensioni prodotte dalla bobina durante il suo transitorio.

11.9.3 Trigger di Schmitt

I *trigger di Schmitt* sono circuiti di commutazione che, grazie ad una particolare configurazione interna a reazione positiva, presentano due tensioni di soglia precise e ben differenziate, associate rispettivamente alle commutazioni basso-alto e alto-basso.

Allorché l'ingresso, passando dal livello basso a quello alto, supera la tensione di *soglia superiore* V_T^+ , l'uscita commuta da uno stato all'altro per ritornare nello stato precedente solo quando l'ingresso scende al di sotto della *soglia inferiore* V_T^- . In Fig 11.22a e b è illustrato il comportamento del trigger di Schmitt *invertente* 7414 che presenta tensioni di soglia $V_T^+ = 1,7\text{ V}$ e $V_T^- = 0,9\text{ V}$. In Fig. 11.22c è riportata la *caratteristica ingresso-uscita* del trigger di Schmitt; la sua forma particolare ad *isteresi* viene riportata sulla porta come simbolo distintivo, come illustrato in Fig. 11.22d. La Fig. 11.22e riporta invece la piedinatura dell'integrato 7414.

Tipicamente queste porte vengono utilizzate per *squadrare* segnali di forma d'onda qualsiasi, onde renderli adatti ai sistemi digitali. Trovano però impiego anche per rendere i dispositivi digitali esenti dai cosiddetti *jitter* (o *guizzi spuri*), che si manifestano sull'uscita quando i segnali applicati agli ingressi presentano transizioni lente. In questo caso si dice che i dispositivi sono forniti di ingressi *triggerati*. In una porta normale, se l'ingresso commuta lentamente, il punto di funzionamento può rimanere nella zona d'amplificazione della caratteristica di trasferimento (vale a dire nella zona

d'indeterminazione) per un tempo sufficiente perché si generino nel segnale d'uscita guizzi spuri, che possono essere erroneamente interpretati come segnali veri e propri. I *jitter* possono nascere sia per oscillazione spontanea della porta sia per amplificazione del rumore sovrapposto al segnale di ingresso. Nelle porte TTL questo fenomeno può manifestarsi per tempi di transizione del segnale di ingresso superiori a 1 μs, nei CMOS per tempi maggiori di 5 μs.

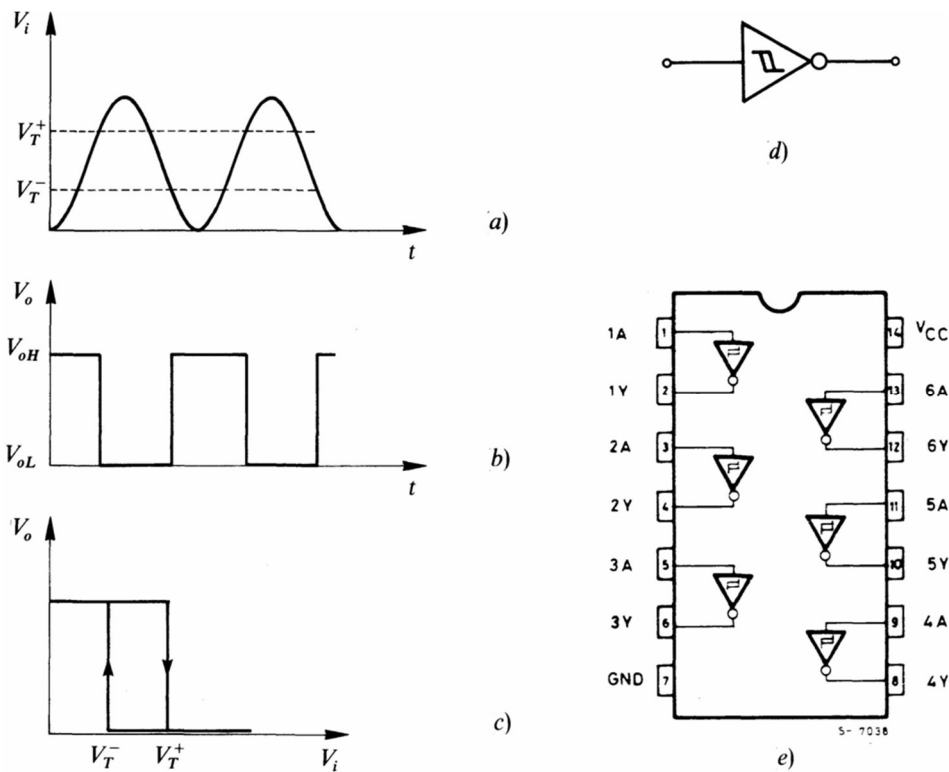


Fig. 11.22 – *Trigger di Schmitt: forme d'onda a) d'ingresso, b) d'uscita; c) caratteristica di trasferimento; d) simbolo logico; e) piedinatura del 7414*

Le porte a trigger di Schmitt, grazie al fatto che la loro commutazione è estremamente rapida e grazie alla presenza di due livelli di soglia distinti, sono in grado di trattare segnali di ingresso anche molto lenti.

11.9.4 Porte three-state (o tri-state)

Le porte logiche studiate finora possono presentare soltanto due stati: «0» quando l'uscita è collegata a massa tramite un MOSFET in conduzione (detto elemento di *pull-down*), o «1» quando l'uscita è collegata all'alimentazione tramite un resistore (o altro componente) interno (detto elemento di *pull-up*). In tutti i casi, la linea d'uscita, e con essa un eventuale carico, è sempre connessa o a massa o all'alimentazione.

In molte applicazioni è utile ottenere una terza condizione (*three-state*) per la quale l'uscita risulta praticamente isolata sia dalla massa che dall'alimentazione, In questo stato la porta logica non assorbe e non cede corrente e si comporta come un carico ad alta impedenza. Ciò è quanto si realizza nei dispositivi *three-state* (o *tri-state*), le cui uscite possono assumere tre stati: «0», «1» e «Z» dove con Z si è indicato lo stato ad alta impedenza. I dispositivi three-state sono disponibili sia in tecnologia TTL che CMOS.

In Fig. 11.23 si mostrano i simboli logici di porte three-state non invertenti.

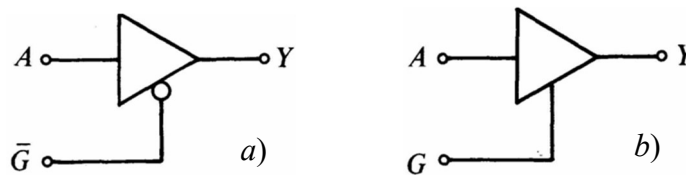


Fig. 11.23 – Schema di una porta NOT three-state con ingresso di abilitazione attivo a) a livello basso, b) a livello alto

Essi sono provvisti di un ulteriore ingresso, indicato con \bar{G} o con G , che prende il nome di *ingresso di abilitazione*: nel primo caso (Fig. 11.23a) esso è attivo se a livello basso, viceversa nell'altro caso (Fig. 11.23b). La tabella di verità relativa alla porta di Fig. 11.23a è pertanto la seguente

A	\bar{G}	Y
0	0	0
1	0	1
×	1	Z

mentre per quella di Fig. 11.23b è

A	G	Y
0	1	0
1	1	1
×	0	Z

dove con «×» s'intende che l'uscita è indipendente dal valore assunto da × e con «Z» l'uscita ad alta impedenza.

È evidente che l'uscita three-state deve rendere interdetti entrambi i MOSFET.

In Fig. 11.24 si mostra una tipica connessione tra due porte three-state che consente di realizzare un *collegamento bidirezionale* tra il dispositivo *A* e il dispositivo *B*.

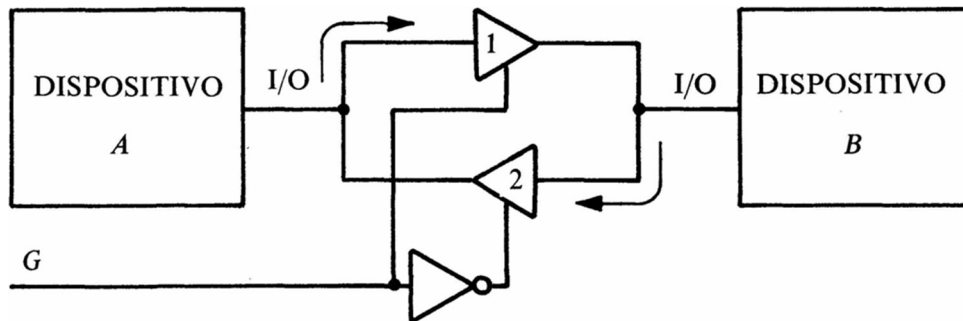


Fig. 11.24 – *Collegamento bidirezionale tra due dispositivi A e B realizzato mediante porte three-state*

Per $G = 1$ la porta 1 conduce e la porta 2 è in alta impedenza per cui *A* lavora da trasmettitore e *B* da ricevitore. Per $G = 0$ la situazione s’inverte per cui *A* opera da ricevitore e *B* da trasmettitore.

Nella Fig. 11.25 si mostra un'altra applicazione dei dispositivi three-state utilizzata in particolare nelle circuiterie dei calcolatori elettronici. Le apparecchiature *A*, *B*, *C* e *D* sono connesse tramite un unico insieme di fili denominato BUS. Se si vuole collegare, ad esempio, il dispositivo *A* con *C* è opportuno porre *B* e *D* nello stato di alta impedenza e abilitare invece *A* e *C*. In tal modo le linee del BUS sono dedicate esclusivamente ai dispositivi *A* e *C* mentre *B* e *D* sono a tutti gli effetti sconnessi dal BUS.

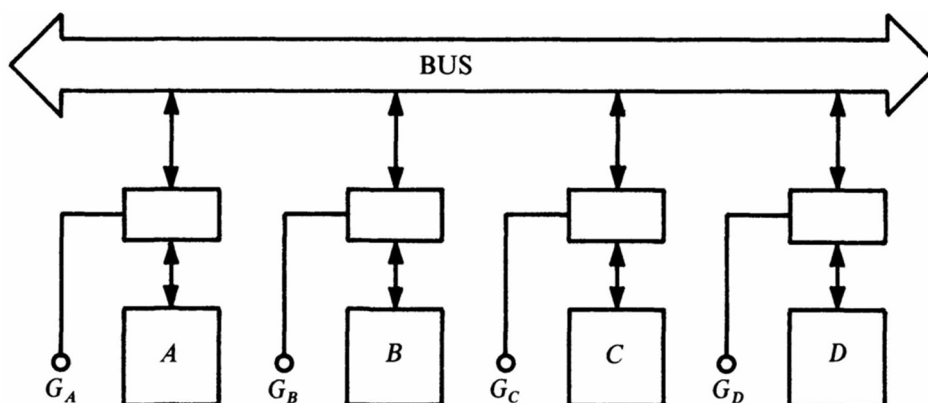


Fig. 11.25 – *Collegamento tra diverse apparecchiature A, B, C e D mediante porte three-state*

Esistono anche porte *bidirezionali*, in grado cioè sia di trasmettere che di ricevere dati dal BUS. Queste porte sono indicate con il termine *transceiver*, sintesi di *transmitter* e *receiver*. Un tipico esempio è l'integrato 74HC243.

11.9.5 Porte di trasmissione

Le famiglie CMOS implementano una particolare configurazione chiamata *porta di trasmissione* (*transmission gate*), non presente nelle altre famiglie. Il simbolo logico è illustrato in Fig. 11.26. I due MOS complementari sono collegati in parallelo e vengono comandati da due segnali di controllo complementari G e \bar{G} . Con $G = 0$, e quindi $\bar{G} = 1$, i due MOS risultano interdetti, per cui la porta non trasmette il dato di ingresso all'uscita. Viceversa se $G = 1$, e quindi $\bar{G} = 0$, uno dei due MOS conduce, comportandosi come una resistenza di basso valore ed il dato di ingresso viene trasferito all'uscita.

Si noti che, a causa della simmetria della struttura dei MOS, ingresso e uscita possono essere scambiati; la porta è per sua natura bidirezionale.

Il segnale d'ingresso, oltre che digitale, può essere analogico; in questo caso la porta si comporta correttamente purché il segnale rimanga contenuto nella fascia compresa fra le tensioni di alimentazione V_{DD} e V_{SS} . Il dispositivo viene allora chiamato *interruttore* (o *switch*) *analogico*.

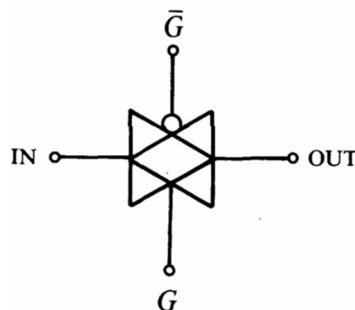


Fig. 11.26 – Simbolo logico di una porta di trasmissione

Classici integrati contenenti porte di trasmissione sono i 4016 e 4066. La porta, controllata da un unico ingresso di controllo G , come mostrato in Fig. 11.27a, si comporta come un vero e proprio interruttore ed è indicata con la denominazione di *bilateral switch*. Quando G è alto l'interruttore si chiude, quando G è basso l'interruttore è aperto. Più precisamente si tratta di un *interruttore unipolare ad una via* ed il suo schema equivalente è riportato in Fig. 11.27b.

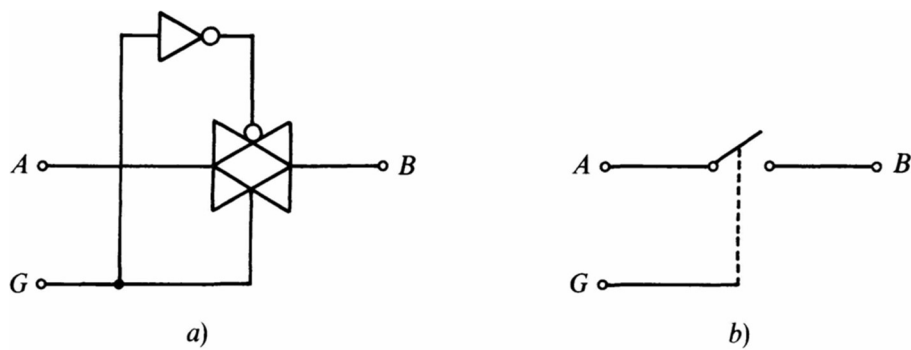


Fig. 11.27 – a) Schema logico di un bilateral switch e b) suo schema equivalente

In tecnologia CMOS le porte di trasmissione vengono realizzate come mostrato in Fig. 11.28: Se il segnale C è a livello alto, entrambi i MOSFET sono accesi e i punti 1 e 2 sono connessi dalla bassa r_{ON} dei due dispositivi in parallelo; se C è a livello basso, i transistor sono entrambi interdetti e i punti 1 e 2 sono scollegati.

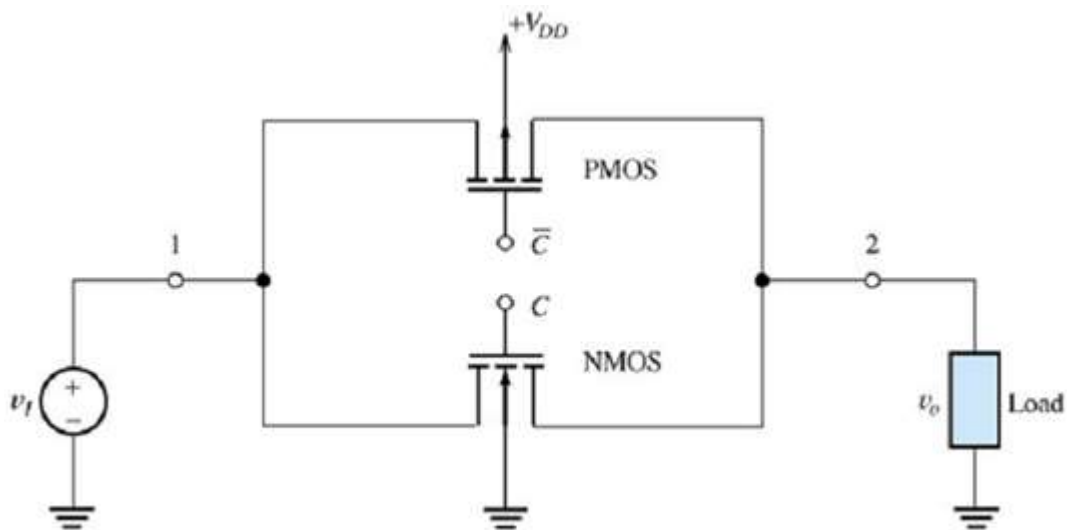


Fig. 11.28 – Porta di trasmissione realizzata con tecnologia CMOS

11.10 Norme d'impiego per il pilotaggio di componenti discreti

11.10.1 TTL

Vengono di seguito fornite alcune norme pratiche d'impiego, essenziali per un buon funzionamento delle porte TTL. Tali norme sono di uso generale, sebbene particolare enfasi venga posta ad alcuni accorgimenti necessari per pilotare carichi che non siano costituiti da porte logiche.

Com'è noto, gli integrati TTL vanno alimentati con tensione $V_{CC} = 5\text{ V}$, con tolleranza sull'alimentazione del 5 o del 10% secondo il tipo di serie utilizzata.

Le frequenze massime di lavoro per le varie famiglie TTL sono riportate in Tab. 11.2, insieme con quelle delle famiglie CMOS. Di esse si deve tenere conto quando alle porte viene richiesto di effettuare una serie di operazioni sincronizzate con un *clock* esterno, caso molto comune quando si lavora con circuiti digitali.

Tab. 11.2 – *Massima frequenza di lavoro per le serie TTL e CMOS*

	TTL					CMOS		
	STD	LS	S	ALS	AS	4000B	HC	AC
f_{max} (MHz)	35	45	125	50	200	5	50	160

Gli ingressi inutilizzati non devono mai essere lasciati aperti, ossia privi di collegamento. In questo caso, infatti, il circuito, che si comporta come se l'ingresso aperto fosse a livello alto, potrebbe captare disturbi ed introdurre rumore. Gli ingressi non utilizzati vanno dunque collegati o ad un altro ingresso utilizzato della porta oppure ad un livello che non influenzi la risposta della porta. Tale livello sarà quindi la massa per le porte OR e NOR e l'alimentazione V_{CC} , attraverso una resistenza da 1 k Ω , per le porte AND e NAND. La resistenza serve da protezione per limitare il valore della corrente, nel caso che l'ingresso sia sollecitato da un impulso superiore al massimo valore consentito. Nella serie LS con ingresso a diodi, gli ingressi non utilizzati possono essere collegati direttamente a V_{CC} senza interposizione di resistenze.

Se un ingresso deve essere commutato fra i due livelli logici mediante un pulsante o un interruttore, conviene adottare lo schema di Fig. 11.29. L'ingresso viene agganciato a V_{CC} tramite una resistenza da 1 k Ω e pertanto sente normalmente un livello alto. La chiusura del contatto porta viceversa l'ingresso al livello basso; in questo stato la resistenza provvede a limitare la corrente proveniente da V_{CC} .

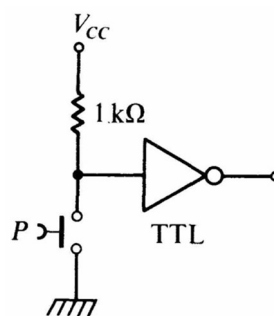


Fig. 11.29 – *Schema elettrico di commutazione mediante pulsante*

Per l'interfacciamento di una porta con carichi che non siano circuiti logici, occorre tener presente i livelli delle correnti di uscita di source e di sink forniti dal costruttore. Ad esempio per accendere un LED il collegamento corretto è quello di Fig. 11.30a; infatti l'uscita di una porta TTL STD, essendo in grado di assorbire una $I_{OL(max)} = 16 \text{ mA}$, accetta senza danni la corrente $I_F = 10 \text{ mA}$ del LED. Non è corretto, viceversa, lo schema di Fig. 11.30b, proprio perché la corrente di source della porta, essendo $I_{OH(max)} = -400 \mu\text{A}$ (il segno meno indica convenzionalmente il verso uscente), è insufficiente per accendere il LED. (♦)

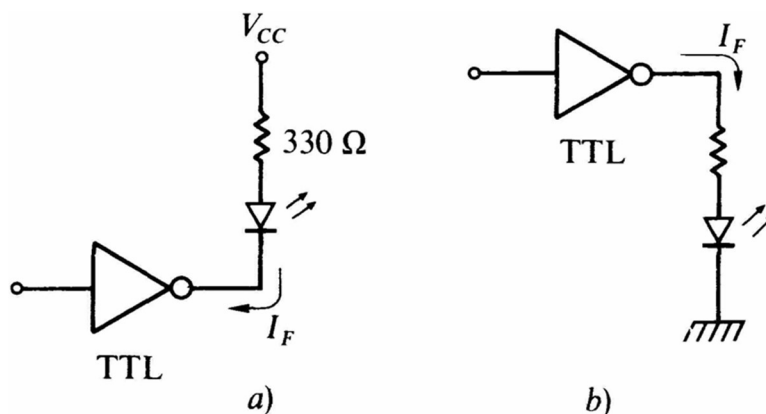


Fig. 11.30 – Pilotaggio di un LED con una porta TTL: a) schema corretto; b) schema errato

Per carichi ancora più elevati (vale a dire per resistenze di carico più piccole) si può interporre fra uscita della porta e carico un BJT in funzione di buffer.

In una scheda contenente circuiti integrati digitali, occorre prestare particolare cura ai collegamenti di alimentazione e di massa, onde ridurre per quanto possibile gli *spike* (o picchi) di tensione dovuti alle commutazioni. Conviene a tale scopo inserire, fra le piste di alimentazione e di massa, condensatori per radiofrequenza (di tipo ceramico, ad esempio da 100 nF) in ragione di 1 ogni $5 \div 10$ integrati.

11.10.2 CMOS

Anche con gli integrati CMOS occorre naturalmente seguire norme di impiego ben precise. L'alimentazione non è rigidamente vincolata come per le TTL, ma può variare da 3 a 18 V per le serie 4000B e 74C, e da 2 a 6 V per le HC e AC.

Nella serie 4000B i terminali di alimentazione sono indicati con V_{DD} (terminale positivo) e con V_{SS} (terminale negativo); nelle altre serie si usa la convenzione delle TTL, cioè V_{CC} e GND .

(♦) In realtà la porta TTL con uscita a livello alto è in grado di erogare correnti anche superiori a 0,4 mA; in questo caso però non viene più garantito il livello della tensione di uscita $V_{OH(min)} = 2,4 \text{ V}$.

Gli ingressi non utilizzati non devono assolutamente essere lasciati scollegati. In questo caso infatti la porta verrebbe a lavorare nella sua zona di transizione e basterebbero disturbi minimi (ad esempio l'avvicinamento di una mano) per farla commutare in modo incontrollato.

Le correnti disponibili in uscita per la serie 4000B sono piuttosto deboli. Con $V_{DD} = 5\text{ V}$ viene indicata dal costruttore una corrente minima $I_o = \pm 0,44\text{ mA}$. Pertanto per poter accendere un LED occorre interporre un BJT (o un MOS), secondo lo schema di Fig. 11.31, oppure usare il buffer invertente 4049 o quello non invertente 4050. Questi buffer sono in grado di assorbire una corrente di uscita piuttosto elevata.^(*)

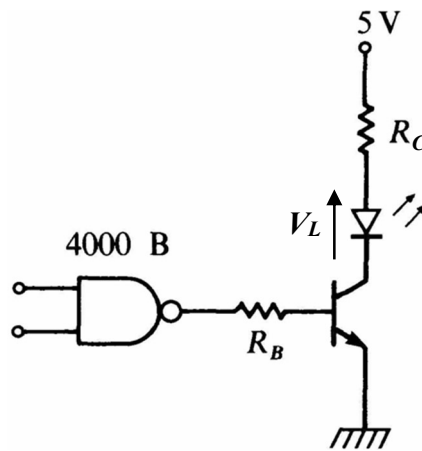


Fig. 11.31 – Pilotaggio di un LED con una porta CMOS della serie 4000B

Evidentemente, se si utilizza un BJT come in Fig. 11.31, quest'ultimo deve funzionare in saturazione. La resistenza R_C si calcola allora supponendo che $V_{CE(\text{sat})} \approx 0$ e la corrente sul LED (coincidente con la corrente di collettore $I_{C(\text{sat})}$) sia sufficiente a fare accendere il LED (si sceglie normalmente $I_{C(\text{sat})} = 10 \div 20\text{ mA}$); pertanto:

$$V_{CC} = R_C I_{C(\text{sat})} + V_L + V_{CE(\text{sat})} \Rightarrow R_C = \frac{V_{CC} - V_L - V_{CE(\text{sat})}}{I_{C(\text{sat})}} . \quad (11.8)$$

Ovviamente la tensione di soglia del LED, V_L , dipende dal tipo di materiale utilizzato per il LED. Per un LED rosso tipicamente $V_L \approx 1,2\text{ V}$, mentre per un LED blu $V_L \approx 3,2\text{ V}$. Per dimensionare R_B si deve invece imporre la condizione di saturazione (11.4). Per essere certi che il BJT sia in saturazione, normalmente si sceglie:

^(*) Per tali buffer, ad esempio con $V_{DD} = 5\text{ V}$, il valore tipico è $I_{OL} = 5\text{ mA}$ (con $V_{OL} = 0,4\text{ V}$). Questo valore per $V_{DD} = 10\text{ V}$, sale a 12 mA (con $V_{OL} = 0,5\text{ V}$). Infine con $V_{DD} = 15\text{ V}$ la corrente è veramente notevole: $I_{OL} = 40\text{ mA}$ (con $V_{OL} = 1,5\text{ V}$).

$$I_{B(\text{sat})} = 3 \div 5 \frac{I_{C(\text{sat})}}{\beta} . \quad (11.9)$$

Quindi, nota $I_{B(\text{sat})}$ (essendo noti $I_{C(\text{sat})}$ e β), la resistenza R_B si calcola applicando la seconda legge di Kirchoff alla maglia d'ingresso:

$$R_B = \frac{V_{OH} - V_{BE(\text{sat})}}{I_{B(\text{sat})}} . \quad (11.10)$$

La famiglia HC è in grado di fornire correnti circa 10 volte superiori rispetto alla serie 4000B ma sono sempre insufficienti ad accendere un LED. Con integrati della serie AC/ACT è invece possibile accendere un LED utilizzando indifferentemente uno degli schemi di Fig. 11.30a e b. Sia la corrente di sink che la corrente di source (24 mA per le serie AC/ACT) sono infatti sufficienti a pilotare un LED.

Ovviamente, quando non si sa che tipo di famiglia logica si sta utilizzando (o quando è necessaria una corrente maggiore dei valori massimi permessi dalle porte, ad esempio per avere una potenza luminosa maggiore), per sicurezza è sempre meglio adottare lo schema di Fig. 11.31.

Un sistema piuttosto diffuso per aumentare la corrente di uscita delle porte CMOS è quello di collegare in parallelo più porte come è illustrato in Fig. 11.32 (metodo assolutamente *da evitare* per le porte TTL, a causa della loro configurazione circuitale in uscita).

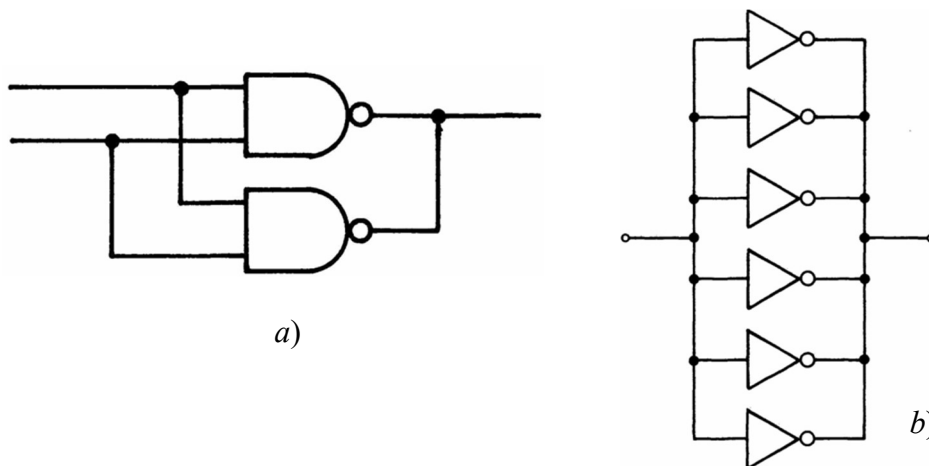


Fig. 11.32 – Schemi per aumentare la corrente d'uscita delle porte CMOS:
 a) con porte NAND; b) con porte NOT

